

Docket No.: 60188-841

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Katsuya ARAI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: April 20, 2004	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-278876, filed July 24, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: April 20, 2004

60188-841
ARAI, et al.
April 20, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 2 4 日
Date of Application:

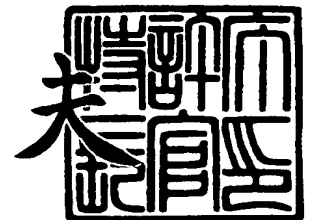
出 願 番 号 特 願 2 0 0 3 - 2 7 8 8 7 6
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 2 7 8 8 7 6]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 3 2 3 7

【書類名】 特許願
【整理番号】 2926440320
【提出日】 平成15年 7月24日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/04
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 荒井 勝也
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 甲上 歳浩
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 宇佐美 志郎
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 藪 洋彰
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100077931
 【弁理士】
 【氏名又は名称】 前田 弘
【選任した代理人】
 【識別番号】 100094134
 【弁理士】
 【氏名又は名称】 小山 廣毅
【選任した代理人】
 【識別番号】 100110939
 【弁理士】
 【氏名又は名称】 竹内 宏
【選任した代理人】
 【識別番号】 100113262
 【弁理士】
 【氏名又は名称】 竹内 祐二
【選任した代理人】
 【識別番号】 100115059
 【弁理士】
 【氏名又は名称】 今江 克実
【選任した代理人】
 【識別番号】 100117710
 【弁理士】
 【氏名又は名称】 原田 智雄
【手数料の表示】
 【予納台帳番号】 014409
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0217869

【書類名】 特許請求の範囲**【請求項 1】**

外部接続用端子と、
上記外部接続用端子に接続された静電放電保護回路と、
上記静電放電保護回路に接続された電源ラインと、
上記静電放電保護回路に接続された接地ラインと、
上記電源ラインと上記接地ラインとに接続され、ゲート絶縁型素子を有する電源間静電放電保護回路とを備え、
上記電源間静電放電保護回路は、上記ゲート絶縁型素子のゲート電圧を制御することが可能な第 1 のゲート電圧制御回路を有する、半導体集積回路装置。

【請求項 2】

請求項 1 に記載の半導体集積回路装置であって、
上記ゲート絶縁型素子は、ソースが上記接地ラインに接続され、ドレインが上記電源ラインに接続された第 1 の NMIS トランジスタであって、
上記第 1 のゲート電圧制御回路は、一端が上記電源ラインに接続され、他端が上記第 1 の NMIS トランジスタのゲートに接続された容量と、一端が接地ラインに接続され、他端が上記第 1 の NMIS トランジスタのゲートに接続された抵抗体とを有する、半導体集積回路装置。

【請求項 3】

請求項 1 に記載の半導体集積回路装置であって、
上記ゲート絶縁型素子は、ソースが上記接地ラインに接続され、ドレインが上記電源ラインに接続された第 1 の NMIS トランジスタであって、
上記第 1 のゲート電圧制御回路は、出力が上記第 1 の NMIS トランジスタのゲートに接続され、奇数個のインバーターを有する第 1 のインバータ部と、一端が上記電源ラインに接続され、他端が上記第 1 のインバーター部の入力に接続された抵抗体と、一端が上記接地ラインに接続され、他端が上記第 1 のインバーター部の入力に接続された容量とを有する、半導体集積回路装置。

【請求項 4】

請求項 1 に記載の半導体集積回路装置であって、
上記ゲート絶縁型素子は、ソースが上記接地ラインに接続され、ドレインが上記電源ラインに接続された第 1 の NMIS トランジスタであって、
上記第 1 のゲート電圧制御回路は、出力が上記第 1 の NMIS トランジスタのゲートに接続され、偶数個のインバーターを有する第 1 のインバータ部と、一端が上記接地ラインに接続され、他端が上記第 1 のインバーター部の入力に接続された抵抗体と、一端が上記電源ラインに接続され、他端が上記第 1 のインバーター部の入力に接続された容量とを有する、半導体集積回路装置。

【請求項 5】

請求項 1 に記載の半導体集積回路装置であって、
上記ゲート絶縁型素子は、ソースが上記接地ラインに接続され、ドレインが上記電源ラインに接続された第 1 の NMIS トランジスタであって、
上記第 1 のゲート電圧制御回路は、出力が上記第 1 の NMIS トランジスタのゲートに接続された第 1 のシュミットトリガ回路と、一端が上記電源ラインに接続され、他端が上記第 1 のシュミットトリガ回路の入力に接続された抵抗体と、一端が上記接地ラインに接続され、他端が上記第 1 のシュミットトリガ回路の入力に接続された容量とを有する、半導体集積回路装置。

【請求項 6】

請求項 1 ～ 5 のうちいずれか 1 項に記載の半導体集積回路装置であって、
上記電源間静電放電保護回路は、
ソースが上記電源ラインに接続され、ドレインが上記接地ラインに接続された第 1 の PMIS トランジスタと、

上記第1のPMISトランジスタのゲート電圧を制御することが可能な第2のゲート電圧制御回路とをさらに備える、半導体集積回路装置。

【請求項7】

請求項6に記載の半導体集積回路装置であって、

上記第2のゲート電圧制御回路は、一端が上記電源ラインに接続され、他端が上記第1のPMISトランジスタのゲートに接続された抵抗体と、

一端が上記接地ラインに接続され、他端が上記第1のPMISトランジスタのゲートに接続された容量とをさらに備える、半導体集積回路装置。

【請求項8】

請求項6に記載の半導体集積回路装置であって、

上記第2のゲート電圧制御回路は、出力が上記第1のPMISトランジスタのゲートに接続され、奇数個のインバーターを有する第2のインバーター部と、一端が上記電源ラインに接続され、他端が上記第2のインバーター部の入力に接続された容量と、一端が上記接地ラインに接続され、他端が上記第2のインバーター部の入力に接続された抵抗体とを有する、半導体集積回路装置。

【請求項9】

請求項6に記載の半導体集積回路装置であって、

上記第2のゲート電圧制御回路は、出力が上記第1のPMISトランジスタのゲートに接続され、偶数個のインバーターを有する第2のインバーター部と、一端が上記接地ラインに接続され、他端が上記第2のインバーター部の入力に接続された容量と、一端が上記電源ラインに接続され、他端が上記第2のインバーター部の入力に接続された抵抗体とを有する、半導体集積回路装置。

【請求項10】

請求項6に記載の半導体集積回路装置であって、

上記第2のゲート電圧制御回路は、出力が上記第1のPMISトランジスタのゲートに接続された第2のシュミットトリガ回路と、一端が上記電源ラインに接続され、他端が上記第2のシュミットトリガ回路の入力に接続された容量と、一端が上記接地ラインに接続され、他端が上記第2のシュミットトリガ回路の入力に接続された抵抗体とを有する、半導体集積回路装置。

【請求項11】

請求項1～10のうちいずれか1項に記載の半導体集積回路装置であって、

上記外部接続用端子に接続された入力バッファ回路をさらに備える、半導体集積回路装置。

【請求項12】

請求項1～11のうちいずれか1項に記載の半導体集積回路装置であって、

上記外部接続用端子に接続された出力回路と、

上記出力回路に接続された出力プリバッファ回路とをさらに備える、半導体集積回路装置。

【請求項13】

請求項12に記載の半導体集積回路装置であって、

上記出力プリバッファ回路は、最終段に、上記電源ラインに接続された第1のプリバッファを最終段に有する第1のプリバッファ回路と、上記電源ラインに接続された第2のプリバッファを最終段に有する第2のプリバッファ回路とを有し、

上記出力回路は、ソースが上記電源ラインに接続され、ドレインが上記外部接続用端子に接続され、ゲートが上記第1のプリバッファの出力端子に接続され、n型基板領域が上記電源ラインに接続されている第2のPMISトランジスタと、ソースが上記接地ラインに接続され、ドレインが上記外部接続用端子に接続され、ゲートが上記第2のプリバッファの出力端子に接続され、p型基板領域が上記接地ラインに接続されている第2のNMISトランジスタとを有する、半導体集積回路装置。

【請求項14】

請求項 1～13 のうちいずれか 1 項に記載の半導体集積回路装置であって、
上記外部接続用端子に接続された内部回路をさらに備える、半導体集積回路装置。

【請求項 15】

請求項 1～14 のうちいずれか 1 項に記載の半導体集積回路装置であって、
上記静電放電保護回路は、ソースが上記電源ラインに接続され、ドレインが上記外部接続用端子に接続され、n 型基板領域が上記電源ラインに接続される第 3 の PMIS トランジスタと、ソースが上記接地ラインに接続され、ドレインが上記外部接続用端子に接続され、p 型基板領域が上記接地ラインに接続される第 3 の NMIS トランジスタとを有する、半導体集積回路装置。

【請求項 16】

請求項 15 に記載の半導体集積回路装置であって、
上記第 3 の PMIS トランジスタのゲートと上記電源ラインとの間に介設された抵抗体と、
上記第 3 の NMIS トランジスタのゲートと上記接地ラインとの間に介設された抵抗体とをさらに備える、半導体集積回路装置。

【請求項 17】

請求項 1～14 のうちいずれか 1 項に記載の半導体集積回路装置であって、
上記静電放電保護回路は、一端が上記電源ラインに接続され、他端が上記外部接続用端子に接続される第 1 の PN ダイオードと、一端が上記接地ラインに接続され、他端が上記外部接続用端子に接続される第 2 の PN ダイオードとを有する、半導体集積回路装置。

【書類名】明細書

【発明の名称】半導体集積回路装置

【技術分野】

【0001】

本発明は、静電放電（ESD）保護回路を備えた半導体集積回路装置に関するものであり、特に入力、出力、入出力回路および内部回路のESD保護能力が向上されたESD保護回路を有するものに関する。

【背景技術】

【0002】

近年、半導体集積回路装置のプロセス分野では、微細化及び高密度化の技術進歩に応じて高集積化が進行している。それに伴って、半導体集積回路装置は、静電放電（以下、サージと称す）によってもたらされるダメージに弱くなってきている。例えば、外部接続用端子から侵入するサージによって入力回路、出力回路、入出力回路あるいは内部回路などの素子が破壊され、素子の性能が低下する可能性が大きくなっている。そのため、外部接続用端子に付随して、入力回路、出力回路、入出力回路あるいは内部回路をサージから保護するための保護回路が備えられていることが多くなってきている。

【0003】

図9は、従来において、静電放電保護回路を有する半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。図9に示すように、従来の半導体集積回路装置は、外部接続用端子101と、静電放電保護回路102と、出力回路103と、出力プリバッファ回路104と、内部回路121と、電源間静電放電保護回路122とを備えている。静電放電保護回路102及び電源間静電放電保護回路122は、出力回路103を、外部接続用端子101から侵入するサージから保護するように設けられている。

【0004】

静電放電保護回路102は、外部接続用端子101と出力回路103との間に設けられており、PMISトランジスタ105と、NMISトランジスタ106と、抵抗体107及び抵抗体108とを有している。そして、PMISトランジスタ105は、電源電圧V_{DD}を供給するための電源ライン119に接続されるソースと、抵抗体107を介在させて電源ライン119に接続されるゲートと、外部接続用端子101に接続されるドレインと、電源ライン119に接続される基板領域（nウェル）とを有している。また、NMISトランジスタ106は、接地するための接地ライン120に接続されるソースと、抵抗体108を介在させて接地ライン120に接続されるゲートと、外部接続用端子101に接続されるドレインと、接地ライン120に接続される基板領域（pウェル）とを有している。

【0005】

出力回路103は、静電放電保護回路102と出力プリバッファ回路104との間に設けられており、PMISトランジスタ111と、NMISトランジスタ112とを有している。そして、PMISトランジスタ111は、電源ライン119に接続されるソースと、出力プリバッファ回路104における第1のプリバッファ115の出力端子に接続されるゲートと、外部接続用端子101に接続されるドレインと、電源ライン119に接続される基板領域（nウェル）とを有している。また、NMISトランジスタ112は、接地ライン120に接続されるソースと、出力プリバッファ回路104における第2のプリバッファ117の出力端子に接続されるゲートと、外部接続用端子101に接続されるドレインと、接地ライン120に接続される基板領域（pウェル）とを有している。

【0006】

出力プリバッファ回路104は、内部回路121からの出力信号を増幅するためのものであり、内部回路121と出力回路103との間に設けられている。出力プリバッファ回路104は、最終段に第1のプリバッファ115を備えた第1のプリバッファ回路116と、最終段に第2のプリバッファ117を備えた第2のプリバッファ回路118とを有している。第1のプリバッファ115には、電源ライン119に接続される電源電圧供給用

端子と、接地ライン 120 に接続される接地端子と、出力回路 103 の PMIS トランジスタ 111 のゲートに接続される出力端子と、内部回路 121 に接続される入力端子とが設けられている。また、第 2 のプリバッファ 117 には、電源ライン 119 に接続される電源電圧供給用端子と、接地ライン 120 に接続される接地端子と、出力回路 103 の NMIS トランジスタ 112 のゲートに接続される出力端子と、内部回路 121 に接続される入力端子とが設けられている。なお、第 1 のプリバッファ回路 116 及び第 2 のプリバッファ回路 118 には、内部回路 121 からの出力信号の増幅度合いに応じた数のプリバッファが設けられている。そして、第 1 のプリバッファ回路 116 内の最終段の第 1 のプリバッファ 115 の出力端子と、第 2 のプリバッファ回路 118 内の最終段の第 2 のプリバッファ 117 の出力端子とからは、高低が逆又は同一の出力信号が出力される。

【0007】

電源間静電放電保護回路 122 は、電源ライン 119 と接地ライン 120 との間に設けられており、NMIS トランジスタ 123 を有している。そして、NMIS トランジスタ 123 は、接地するための接地ライン 120 に接続されるソースと、抵抗体 124 を介在させて接地ライン 120 に接続されるゲートと、電源ライン 119 に接続されるドレインと、接地ライン 120 に接続される基板領域（p ウェル）とを有している。

【0008】

以上のように構成された従来の半導体集積回路装置によれば、電源ライン 119 と外部接続用端子 101 との間に加わるサージは、PMIS トランジスタ 105 がブレイクダウンすることにより吸収され、接地ライン 120 と外部接続用端子 101 との間に加わるサージは、NMIS トランジスタ 106 がブレイクダウンすることにより吸収される。これによって、外部から外部接続用端子 101 を通じて侵入するサージから出力回路 103 を保護している。

【0009】

ところで、半導体集積回路装置は、ユーザーに対してサージ破壊耐圧を保証する必要があるため、ESD 試験規格を満足する必要がある。近年、ESD 試験規格として、MIL 規格に代表される人体帯電モデル（HBM）試験規格が世界標準になってきており、これをクリアする必要がある。

【0010】

図 10（a）、（b）は、それぞれ順に、HBM 試験規格による ESD 試験を行うための評価回路を示す回路図、及び MIL 規格による HBM 放電波形規定を示す波形図である。

【0011】

図 10（a）に示すように、評価回路は、容量 $C = 100 \text{ pF}$ を有する充放電用キャパシタ 151 に対して並列に設けられた 2 つの回路（図 10（a）に示す左側の回路及び右側の回路）に、電圧可変型の充電用電源 150 と、抵抗 $R = 1.5 \text{ k}\Omega$ を有する放電用抵抗体 153 とを配置している。そして、充放電用キャパシタ 151 の一方の電極に接続された切り換えスイッチ 152 を備えている。この切り換えスイッチ 152 によって、充電用電源 150 の高電圧部と放電用抵抗体 153 とが、充放電用キャパシタ 151 の一方の電極と交互に接続される。また、充放電用キャパシタ 151 の他方の電極は、図 10（a）に示す左側の回路においては充電用電源 150 の低電圧部に接続され、図 10（a）に示す右側の回路においては、放電用抵抗体 153 に接続されている。そして、図 10（a）に示す右側の回路において、充放電用キャパシタ 151 の他方の電極と放電用抵抗体 153 との間に被試験デバイス 154 を介在させて、被試験デバイスの ESD 試験を行う。

【0012】

この評価回路を用いた ESD 試験では、まず切り換えスイッチ 152 により、充放電用キャパシタ 151 の一方の電極を充電用電源 150 に接続する。これにより、図 10（a）に示す左側の回路が閉回路になり、充電用電源 150 によって充放電用キャパシタ 151 に電荷が蓄積される。このときの充電電圧は、例えば 4000 V になる。その後、切り換えスイッチ 152 により、充放電用キャパシタ 151 の一方の電極を放電用抵抗体 15

3に接続する。これにより、図10(b)に示す右側の回路が閉回路になり、充放電用キャパシタ151に蓄積されている電荷が放電用抵抗体153を経て被試験デバイス154である半導体集積回路装置に印加される。

【0013】

このとき、図10(b)に示すようなHBM放電波形規定に基づいて試験が行われる。図10(b)において、横軸はストレス付加時間、縦軸はサージ電流(A)、 T_r は立ち上がり時間(ns)、 T_d は減衰時間(ns)を表している。

【0014】

図9に示す従来の半導体集積回路装置において、通常の使用時には、電源ライン119及び接地ライン120には、それぞれ電源電圧 V_{DD} 及び接地電圧 V_{SS} が印加される。一方、HBM試験規格によるESD試験には、接地電位 V_{SS} を基準とした状態で外部接続用端子101に正及び負のサージを加える場合と、電源電圧 V_{DD} を基準とした状態で外部接続用端子101に正及び負のサージを加える場合とがある。ここで、接地電位 V_{SS} を基準とした状態とは、電源ライン119の電位を固定せずオープン状態にし、接地ライン120を接地電圧 V_{SS} に固定した状態をいう。電源電圧 V_{DD} を基準とした状態とは、電源ライン119の電位を電源電圧 V_{DD} に固定し、接地ライン120の電位を固定せずオープン状態にした状態をいう。

【0015】

図10(a)に示す評価回路の右側の回路において説明すると、充放電用キャパシタ151の2つの電極間の電圧が、放電用抵抗体153と、半導体集積回路装置(被試験デバイス154)とに印加される。このとき、出力回路103の外部接続用端子101と入力回路の外部接続用回路(図示せず)とには、放電用抵抗体153によって電圧降下した電圧が印加される。

【特許文献1】特開平07-022617号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

ところが、図9に示す従来の半導体集積回路装置に対して、HBM試験規格(V_{SS} 接地)によるESD試験をした場合、静電放電保護回路102におけるNMISトランジスタ106及び出力回路103におけるNMISトランジスタ112の耐圧が低下したり、破壊されるという不具合があった。

【0017】

さらに、LSIのチップコストを削減するためにNMISトランジスタ106及びNMISトランジスタ112のトランジスタサイズを縮小しなければならない。このことから、耐圧の低下や破壊がより起こりやすくなってきている。

【0018】

本発明の目的は、HBM試験規格によるサージ試験を満足するためにESDに対する保護能力を向上させる手段を講ずることにより、外部からのサージに強く、かつ小面積な静電放電保護回路を備えた半導体集積回路装置を提供することにある。

【課題を解決するための手段】

【0019】

本発明の半導体集積回路装置は、外部接続用端子と、上記外部接続用端子に接続された静電放電保護回路と、上記静電放電保護回路に接続された電源ラインと、上記静電放電保護回路に接続された接地ラインと、上記電源ラインと上記接地ラインとに接続され、ゲート絶縁型素子を有する電源間静電放電保護回路とを備え、上記電源間静電放電保護回路は、上記ゲート絶縁型素子のゲート電圧を制御することが可能な第1のゲート電圧制御回路を有する。

【0020】

これにより、ゲート電圧制御回路によって、ゲート絶縁型素子がONの状態になりやすくすることができる。したがって、外部接続用端子に正のサージが加わった場合には、こ

のサージを、静電放電保護回路から電源ライン、電源間静電放電保護回路を通過して接地ラインに向かう経路によって放出することができる。よって、この経路と、静電放電保護回路から接地ラインへ直接向かう経路との2つの経路でサージを放出することができる。よって、より多くのサージ電流を放電する事が可能となり、サージ耐圧の低下を防止することができる。

【0021】

上記ゲート絶縁型素子は、ソースが上記接地ラインに接続され、ドレインが上記電源ラインに接続された第1のNMISトランジスタであって、上記第1のゲート電圧制御回路は、一端が上記電源ラインに接続され、他端が上記第1のNMISトランジスタのゲートに接続された容量と、一端が接地ラインに接続され、他端が上記第1のNMISトランジスタのゲートに接続された抵抗体とを有していてもよい。

【0022】

この場合には、外部接続用端子に正のサージが加わった場合に、電源ラインの電位が上昇すると、上記容量と抵抗体で構成されるRC回路によりゲート電位が上昇する。したがって、第1のNMISトランジスタがONになりやすくなる。これにより、サージは、静電放電保護回路、電源ライン、第1のNMISトランジスタを通過して接地ラインに放出される。

【0023】

上記ゲート絶縁型素子は、ソースが上記接地ラインに接続され、ドレインが上記電源ラインに接続された第1のNMISトランジスタであって、上記第1のゲート電圧制御回路は、出力が上記第1のNMISトランジスタの上記ゲートに接続され、奇数個のインバーターを有する第1のインバータ部と、一端が上記電源ラインに接続され、他端が上記第1のインバータ部の入力に接続された抵抗体と、一端が上記接地ラインに接続され、他端が上記第1のインバータ部の入力に接続された容量とを有していてもよい。

【0024】

この場合には、外部接続用端子に正のサージが加わると、上記容量と抵抗体で構成されるRC回路により、第1のインバータ部の入力の電位は接地ラインと同電位になる。したがって、インバータ部にはLowの信号が入力され、Highの信号が出力される。したがって、第1のNMISトランジスタがより早くONになる。

【0025】

上記ゲート絶縁型素子は、ソースが上記接地ラインに接続され、ドレインが上記電源ラインに接続された第1のNMISトランジスタであって、上記第1のゲート電圧制御回路は、出力が上記第1のNMISトランジスタの上記ゲートに接続され、偶数個のインバーターを有する第1のインバータ部と、一端が上記接地ラインに接続され、他端が上記第1のインバータ部の入力に接続された抵抗体と、一端が上記電源ラインに接続され、他端が上記第1のインバータ部の入力に接続された容量とを有していてもよい。

【0026】

この場合には、外部接続用端子に正のサージが加わると、第1のインバータ部の入力の電位は電源ラインと同電位まで上昇する。したがって、インバータ部にはHighの信号が入力され、Highの信号が出力される。したがって、第1のNMISトランジスタがより早くONになる。

【0027】

上記ゲート絶縁型素子は、ソースが上記接地ラインに接続され、ドレインが上記電源ラインに接続された第1のNMISトランジスタであって、上記第1のゲート電圧制御回路は、出力が上記第1のNMISトランジスタのゲートに接続された第1のシュミットトリガ回路と、一端が上記電源ラインに接続され、他端が上記第1のシュミットトリガ回路の入力に接続された抵抗体と、一端が上記接地ラインに接続され、他端が上記第1のシュミットトリガ回路の入力に接続された容量とを有していてもよい。

【0028】

この場合には、第1のNMISトランジスタが一旦ONの状態になると、シュミット

リガ回路のヒステリシス特性のために、OFFの状態に切り替わるのを遅くすることができ、より長くONの状態を保つことができるようになる。

【0029】

上記電源間静電放電保護回路は、ソースが上記電源ラインに接続され、ドレインが上記接地ラインに接続された第1のPMISトランジスタと、上記第1のPMISトランジスタのゲート電圧を制御することが可能な第2のゲート電圧制御回路とをさらに備えていてもよい。

【0030】

この場合には、第2のゲート電圧制御回路によって、第1のPMISトランジスタがONの状態になりやすくすることができる。したがって、外部接続用端子に負のサージが加わった場合には、このサージを、静電放電保護回路から接地ライン、電源間静電放電保護回路を通過して電源ラインに向かう経路によって放出することができる。よって、この経路と、静電放電保護回路から電源ラインへ直接向かう経路との2つの経路でサージを放出することができる。よって、より多くのサージ電流を放電する事が可能となり、サージ耐圧の低下を防止することができる。

【0031】

上記第2のゲート電圧制御回路は、一端が上記電源ラインに接続され、他端が上記第1のPMISトランジスタのゲートに接続された抵抗体と、一端が上記接地ラインに接続され、他端が上記第1のPMISトランジスタのゲートに接続された容量とをさらに備えていてもよい。

【0032】

この場合には、外部接続用端子に負のサージが加わった場合に、接地ラインの電位が低下すると、ゲート電位の電位も低下する。したがって、第1のPMISトランジスタがONになりやすくなる。これにより、サージは、静電放電保護回路、接地ライン、第1のPMISトランジスタを通過して電源ラインに放出される。

【0033】

上記第2のゲート電圧制御回路は、出力が上記第1のPMISトランジスタのゲートに接続され、奇数個のインバータを有する第2のインバーター部と、一端が上記電源ラインに接続され、他端が上記第2のインバーター部の入力に接続された容量と、一端が上記接地ラインに接続され、他端が上記第2のインバーター部の入力に接続された抵抗体とを有していてもよい。

【0034】

この場合には、外部接続用端子に負のサージが加わると、上記容量と抵抗体とで構成されるRC回路により、第2のインバーター部の入力の電位は接地ラインよりも高くなる。したがって、インバーター部にはHighの信号が入力され、Lowの信号が出力される。したがって、第1のPMISトランジスタがより早くONになる。

【0035】

上記第2のゲート電圧制御回路は、出力が上記第1のPMISトランジスタのゲートに接続され、偶数個のインバータを有する第2のインバーター部と、一端が上記接地ラインに接続され、他端が上記第2のインバーター部の入力に接続された容量と、一端が上記電源ラインに接続され、他端が上記第2のインバーター部の入力に接続された抵抗体とを有していてもよい。

【0036】

この場合には、外部接続用端子に負のサージが加わると、第2のインバーター部の入力の電位は接地ラインと同電位まで下降する。したがって、第2のインバーター部にはLowの信号が入力され、Lowの信号が出力される。したがって、第1のPMISトランジスタがより早くONになる。

【0037】

上記第2のゲート電圧制御回路は、出力が上記第1のPMISトランジスタのゲートに接続された第2のシュミットトリガ回路と、一端が上記電源ラインに接続され、他端が上

記第2のシュミットトリガ回路の入力に接続された容量と、一端が上記接地ラインに接続され、他端が上記第2のシュミットトリガ回路の入力に接続された抵抗体とを有していてもよい。

【0038】

この場合には、外部接続端子に負のサージが加わった場合に、接地ラインの電位が下降すると、シュミットトリガ回路に入力されたサージは、よりなだらかな波形になって出力される。そのため、第1のPMISトランジスタが一旦ONの状態になると、OFFの状態に切り替わるのを遅くすることができ、より長くONの状態を保つことができるようになる。

【0039】

上記外部接続用端子に接続された入力バッファ回路をさらに備えていてもよい。

【0040】

上記外部接続用端子に接続された出力回路と、上記出力回路に接続された出力プリバッファ回路とをさらに備えていてもよい。

【0041】

上記出力プリバッファ回路は、最終段に、上記電源ラインに接続された第1のプリバッファを最終段に有する第1のプリバッファ回路と、上記電源ラインに接続された第2のプリバッファを最終段に有する第2のプリバッファ回路とを有し、上記出力回路は、ソースが上記電源ラインに接続され、ドレインが上記外部接続用端子に接続され、ゲートが上記第1のプリバッファの出力端子に接続され、n型基板領域が上記電源ラインに接続されている第2のPMISトランジスタと、ソースが上記接地ラインに接続され、ドレインが上記外部接続用端子に接続され、ゲートが上記第2のプリバッファの出力端子に接続され、p型基板領域が上記接地ラインに接続されている第2のNMISトランジスタとを有していてもよい。

【0042】

上記外部接続用端子に接続された内部回路をさらに備えていてもよい。

【0043】

上記静電放電保護回路は、ソースが上記電源ラインに接続され、ドレインが上記外部接続用端子に接続され、n型基板領域が上記電源ラインに接続される第3のPMISトランジスタと、ソースが上記接地ラインに接続され、ドレインが上記外部接続用端子に接続され、p型基板領域が上記接地ラインに接続されている第3のNMISトランジスタとを有していてもよい。

【0044】

上記第3のPMISトランジスタのゲートと上記電源ラインとの間に介設された抵抗体と、上記第3のNMISトランジスタのゲートと上記接地ラインとの間に介設された抵抗体とをさらに備えていてもよい。

上記静電放電保護回路は、一端が上記電源ラインに接続され、他端が上記外部接続用端子に接続されている第1のPNダイオードと、一端が上記接地ラインに接続され、他端が上記外部接続用端子に接続されている第2のPNダイオードとを有していてもよい。

【発明の効果】

【0045】

本発明の半導体集積回路装置によれば、ESD試験によって外部接続用端子に電荷を印加された場合に、ゲート電位を制御することにより電源間静電放電保護回路のトランジスタをONの状態にすることができる。これにより、多くの電流を流す放電経路を確保できるので、サージ耐圧の低下を防止することができる。

【発明を実施するための最良の形態】

【0046】

—考察—

発明者らは、図9に示すような従来の半導体集積回路装置において、NMISトランジスタ106及びNMISトランジスタ112の破壊や耐圧低下が起こる理由を以下のように

に考察した。

【0047】

電源ライン119をオープン状態にし、接地ライン120を接地電圧 V_{SS} に固定した状態で、外部接続用端子101に正電荷を印加した場合におけるサージ電流の放電経路は次の2種に分けられる。1つ目は、外部接続用端子101、寄生順方向ダイオード109（PMISトランジスタ105のドレイン領域と基板領域との間のpn接合部）および寄生順方向ダイオード113（PMISトランジスタ111のドレイン領域と基板領域との間のpn接合部）、電源ライン119、電源間静電放電保護回路122のNMISトランジスタ123、接地ライン120を順に通過する経路である。2つ目は、外部接続用端子101、静電放電保護回路102のNMISトランジスタ106及び出力回路103のNMISトランジスタ112、接地ライン120を順に通過する経路である。

【0048】

このとき、電源ライン119は寄生ダイオード109、113を介して外部接続用端子101と接続された状態となる。このとき、外部接続用端子101の電位を V_{pad} とし、寄生ダイオード109、113のビルトイン電圧の合計を V_{bi} とすると、電源ライン119の電位は $V_{pad} - V_{bi}$ となる。

【0049】

このときの外部接続用端子101の電位 V_{pad} は、NMISトランジスタ106及びNMISトランジスタ112のスナップバック特性で決まることになる。電源ライン119の電位は、寄生ダイオードのビルトイン電圧 V_{bi} の分だけ低下して $V_{pad} - V_{bi}$ となるため、電源間静電放電保護回路122のブレークダウン電圧には達しにくくなる。そのため、電源間静電放電保護回路122内のNMISトランジスタ123はOFF状態のままの状態になり、ONしにくくなる。

【0050】

したがって、外部接続用端子101に正電荷が印加された時に、上述の1つ目の経路は導通しにくくなり、2つ目の経路が選択されることが多くなる。つまり、外部接続用端子101、静電放電保護回路102のNMISトランジスタ106及び出力回路103のNMISトランジスタ112、接地ライン120を通過する経路のみとなり、耐圧が低下してしまう。

【0051】

（第1の実施形態）

以下に、本発明の第1の実施形態について図面を参照しながら説明する。図1は、第1の実施形態において、静電放電保護回路を有する半導体集積回路装置の構成を示す回路図である。なお、図1では、半導体集積回路のうち入出力部とその周辺部の構成を示している。

【0052】

図1に示すように、本実施形態の半導体集積回路装置は、外部接続用端子1と、静電放電保護回路2と、出力回路3と、出力プリバッファ回路4と、入力バッファ回路5と、内部回路41と、電源間静電放電保護回路6を備えている。静電放電保護回路2及び電源間静電放電保護回路6は、出力回路3、内部回路および入力バッファ回路5を外部接続用端子1から侵入するサージから保護するために設けられている。本実施形態の特徴は、電源間静電放電保護回路6内にゲート電圧制御回路7を設けている点である。ゲート電圧制御回路7を設けることにより、ESD試験時に電源間静電放電保護回路6におけるNMISトランジスタ24のゲート電圧を制御することが可能となる。

【0053】

静電放電保護回路2は、外部接続用端子1と出力回路3との間に設けられており、PMISトランジスタ8と、NMISトランジスタ9と、抵抗体10と、抵抗体11とを有している。そして、PMISトランジスタ8は、電源電圧 V_{DD} を供給するための電源ライン22に接続されるソースと、抵抗体10を介在させて電源ライン22に接続されるゲートと、外部接続用端子1に接続されるドレインと、電源ライン22に接続される基板領域（

n ウェル) とを有している。また、NMIS トランジスタ 9 は、接地するための接地ライン 23 に接続されるソースと、抵抗体 11 を介在させて接地ライン 23 に接続されるゲートと、外部接続用端子 1 に接続されるドレインと、接地ライン 23 に接続される基板領域 (p ウェル) とを有している。

【0054】

出力回路 3 は、静電放電保護回路 2 と出力プリバッファ回路 4 との間に設けられており、PMIS トランジスタ 14 と NMIS トランジスタ 15 とを有している。そして、PMIS トランジスタ 14 は、電源ライン 22 に接続されるソースと、出力プリバッファ回路 4 のプリバッファ 18 の出力端子に接続されるゲートと、外部接続用端子 1 に接続されるドレインと、電源ライン 22 に接続される基板領域 (n ウェル) とを有している。また、NMIS トランジスタ 15 は、接地ライン 23 に接続されるソースと、出力プリバッファ回路 4 のプリバッファ 20 の出力端子に接続されるゲートと、外部接続用端子 1 に接続されるドレインと、接地ライン 23 に接続される基板領域 (p ウェル) とを有している。

【0055】

出力プリバッファ回路 4 は、内部回路 41 からの出力信号を増幅するためのものであり、内部回路 41 と出力回路 3 との間に設けられている。出力プリバッファ回路 4 は、最終段にプリバッファ 18 を備えたプリバッファ回路 19 と、最終段にプリバッファ 20 を備えたプリバッファ回路 21 とを有している。プリバッファ 18 には、電源ライン 22 に接続される電源電圧供給用端子と、接地ライン 23 に接続される接地端子と、出力回路 3 の PMIS トランジスタ 14 のゲートに接続される出力端子と、内部回路 41 に接続される入力端子とが設けられている。また、プリバッファ 20 には、電源ライン 22 に接続される電源電圧供給用端子と、接地ライン 23 に接続される接地端子と、出力回路 3 の NMIS トランジスタ 15 のゲートに接続される出力端子と、内部回路 41 に接続される入力端子とが設けられている。なお、プリバッファ回路 19 及びプリバッファ回路 21 には、内部回路 41 からの出力信号の増幅度合いに応じた数のプリバッファが設けられている。そして、プリバッファ回路 19 内の最終段のプリバッファ 18 の出力端子と、プリバッファ回路 21 内の最終段のプリバッファ 20 の出力端子とからは、高低が逆又は同一の出力信号が出力される。

【0056】

入力バッファ回路 5 の入力部は外部接続用端子 1 に接続され、出力部は内部回路 41 や他の内部回路 (図示せず) に接続されている。

【0057】

電源間静電放電保護回路 6 は、電源ライン 22 と接地ライン 23 との間に設けられており、NMIS トランジスタ 24 とゲート電圧制御回路 7 とを有している。そして、NMIS トランジスタ 24 は、接地するための接地ライン 23 に接続されるソースと、電源電圧 V_{DD} を供給するための電源ライン 22 に接続されるドレインと、ゲート電圧制御回路 7 の出力端子に接続されるゲートと、接地ライン 23 に接続される基板領域 (p ウェル) とを有している。

【0058】

ゲート電圧制御回路 7 は、電源ライン 22 と接地ライン 23 との間に設けられており、容量 25 と抵抗体 26 とを有している。そして、容量 25 の一端は、電源電圧 V_{DD} を供給するための電源ライン 22 に接続され、他端は NMIS トランジスタ 24 のゲートに接続されている。また、抵抗体 26 の一端は、接地電圧 V_{SS} を供給するための接地ライン 23 に接続され、他端は NMIS トランジスタ 24 のゲートに接続されている。なお、ここでは容量 25 としてキャパシタを示した。しかしながら、本発明では、容量 25 として、配線容量、ゲート容量、接合容量などを用いてもよい。また、抵抗体として、配線抵抗、ゲート抵抗、トランジスタ抵抗などを用いてもよい。

【0059】

次に、以上で説明した半導体集積回路装置の ESD 試験時の動作について、図 10 (a), (b) を再度参照しながら説明する。

【0060】

まず、本実施形態の半導体集積回路装置を図10(a)の被試験デバイス154として評価回路に設置する。このとき、図1に示す半導体集積回路装置の電源ライン22をオープン状態にし、接地ライン23を電圧 V_{ss} に固定する。次に、切り替えスイッチ152を操作することにより、充電用電源150によって充放電用キャパシタ151に電荷を蓄積させる。その後、切り換えスイッチ152により、充放電用キャパシタ151の一方の電極を放電用抵抗体153に接続する。これにより、図1に示す外部接続用端子1に正電荷を印加する。

【0061】

このとき、外部接続用端子1から電源ライン22に至る経路においては、PMISトランジスタ8のドレイン領域と基板領域(nウェル)との間のpn接合が寄生順方向ダイオード12となり、PMISトランジスタ14のドレイン領域と基板領域(nウェル)との間のpn接合が寄生順方向ダイオード16となる。一方、外部接続用端子1から接地ライン23に至る経路において、NMISトランジスタ9のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード13となり、NMISトランジスタ15のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード17となる。

【0062】

外部接続用端子1に印加された正のサージは、寄生順方向ダイオード12、16を通過して電源ライン22に流れ込み、電源ライン22の電位が上昇する。本実施形態では、電源ライン22とNMISトランジスタ24のゲートとの間に容量25が接続されている。また、接地ライン23とNMISトランジスタ24との間に抵抗体26が設けられている。これにより、電源ライン22の電位が上昇すると、容量25と抵抗体26とで構成されるRC回路によりNMISトランジスタ24のゲート電位も上昇する。したがって、NMISトランジスタ24がON状態になりやすくなる。NMISトランジスタ24がONになると、外部接続用端子1に供給された正電荷は接地ライン23の方に放電される。このとき、NMISトランジスタ24の寄生バイポーラトランジスタも放電に寄与する。

【0063】

以上に述べた経路だけではサージ電流を放電できない場合には、NMISトランジスタ9及びNMISトランジスタ15のブレイクダウン電圧に達すると、NMISトランジスタ9及びNMISトランジスタ15がON状態となる。これにより、サージ電流は、外部接続用端子1、NMISトランジスタ9及びNMISトランジスタ15、接地ライン23を順に通過する。

【0064】

以上のように、本実施形態では、サージ電流の放電経路を2つにすることができる。よって、より多くのサージ電流を放電する事が可能となり、サージ耐圧の低下を防止することができる。

【0065】

(第2の実施形態)

以下に、本発明の第2の実施形態について図面を参照しながら説明する。なお、本実施形態では、半導体集積回路装置のうち電源間静電放電保護回路以外の構成は第1の実施形態と同様であるので説明を省略する。図2は、第2の実施形態における半導体集積回路装置のうち電源間静電放電保護回路の構成を示す回路図である。

【0066】

図2に示すように、本実施形態の電源間静電放電保護回路6は、電源ライン22と接地ライン23との間に設けられており、NMISトランジスタ24とゲート電圧制御回路7とを有している。そして、NMISトランジスタ24は、接地するために接地ライン23に接続されるソースと、電源電圧 V_{DD} を供給するための電源ライン22に接続されるドレインと、ゲート電圧制御回路7の出力端子に接続されるゲートとを有している。

【0067】

ゲート電圧制御回路7は、電源ライン22と接地ライン23との間に設けられており、容量25と抵抗体26とインバーター27とを有している。抵抗体26の一端は、電源電圧 V_{DD} を供給するための電源ライン22に接続され、他端はインバーター27の入力端子に接続されている。また、容量25の一端は、接地電圧 V_{SS} を供給するための接地ライン23に接続され、他端はインバーター27の入力端子に接続されている。インバーター27の出力端子は、NMISトランジスタ24のゲートに接続されている。ここでは、容量25としてキャパシタを示した。しかしながら、本発明では、容量25として、配線容量、ゲート容量、接合容量などを用いてもよい。また、抵抗体として、配線抵抗、ゲート抵抗、トランジスタ抵抗などを用いてもよい。

【0068】

次に、以上で説明した半導体集積回路装置のESD試験時の動作について、図10(a)、(b)を再度参照しながら説明する。ここで、半導体集積回路装置のうち電源間静電放電保護回路6以外の構成は図1と同様であるため、図1も再度参照することとする。

【0069】

まず、本実施形態の半導体集積回路装置を図10(a)の被試験デバイス154として評価回路に設置する。このとき、図1に示す半導体集積回路装置の電源ライン22をオープン状態にし、接地ライン23を電圧 V_{SS} に固定する。次に、切り替えスイッチ152を操作することにより、充電用電源150によって充放電用キャパシタ151に電荷を蓄積させる。その後、切り換えスイッチ152により、充放電用キャパシタ151の一方の電極を放電用抵抗体153に接続する。これにより、図1に示す外部接続用端子1に正電荷を印加する。

【0070】

このとき、外部接続用端子1から電源ライン22に至る経路においては、PMISトランジスタ8のドレイン領域と基板領域(nウェル)との間のpn接合が寄生順方向ダイオード12となり、PMISトランジスタ14のドレイン領域と基板領域(nウェル)との間のpn接合が寄生順方向ダイオード16となる。一方、外部接続用端子1から接地ライン23に至る経路において、NMISトランジスタ9のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード13となり、NMISトランジスタ15のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード17となる。

【0071】

外部接続用端子1に印加された正電荷は、寄生順方向ダイオード12、16を通過して電源ライン22に流れ込み、電源ライン22の電位が上昇する。本実施形態では、図2に示すように、電源ライン22とNMISトランジスタ24のゲートとの間に抵抗体26およびインバーター27が接続されている。抵抗体26が設けられていることにより、インバーター27の入力部の電位は電源ライン22の電位よりも低下する。したがって、インバーター27にはLowが入力されて、電源ライン22の電位を有するHighが出力される。したがって、電源間静電放電保護回路内のNMISトランジスタ24が早くON状態になる。このとき、インバーター27にLowの信号が到達すると直ちにHighの信号が出力されるので、より早くNMISトランジスタ24をONの状態にすることができる。NMISトランジスタ24がONになると、外部接続用端子1に供給された正電荷は接地ライン23の方に放電される。この放電には、NMISトランジスタ24の寄生バイポーラトランジスタも寄与する。なお、インバーター27の入力部と接地ライン23との間に容量25が設けられていることにより、通常動作時にNMISトランジスタ24がON状態になるのを防止している。

【0072】

以上に述べた経路だけではサージ電流を放電できない場合には、図1に示すNMISトランジスタ9及びNMISトランジスタ15のブレイクダウン電圧に達すると、NMISトランジスタ9及びNMISトランジスタ15がON状態となる。これにより、サージ電流は、外部接続用端子1、NMISトランジスタ9及びNMISトランジスタ15、接地

ライン 23 を順に通過する。

【0073】

以上のように、本実施形態では、サージ電流の放電経路を 2 つにすることができる。よって、より多くのサージ電流を放電する事が可能となり、サージ耐圧の低下を防止することができる。

【0074】

なお、本実施形態では、インバータ 27 が 1 つの場合について説明した。しかし、本実施形態ではインバータを複数（奇数個）設けることもできる。また、インバータを偶数個設けることもでき、この場合には、上述の構造のうち抵抗体 26 と容量 25 との位置を逆にすればよい。このようにインバータを複数設けた場合には、NMIS トランジスタ 24 をより早く ON にすることができる。

【0075】

（第 3 の実施形態）

以下に、第 3 の実施形態について図面を参照しながら説明する。なお、本実施形態では、半導体集積回路装置のうち電源間静電放電保護回路以外の構成は第 1 の実施形態と同様であるので説明を省略する。図 3 は、第 3 の実施形態における半導体集積回路装置のうち電源間静電放電保護回路の構成を示す回路図である。

【0076】

図 3 に示すように、本実施形態の電源間静電放電保護回路 6 は、電源間静電放電保護回路 6 は、電源ライン 22 と接地ライン 23 との間に設けられており、NMIS トランジスタ 24 とゲート電圧制御回路 7 とを有している。そして、NMIS トランジスタ 24 は、接地電圧 V_{SS} を供給するための接地ライン 23 に接続されるソースと、電源電圧 V_{DD} を供給するための電源ライン 22 に接続されるドレインと、ゲート電圧制御回路 7 の出力端子に接続されるゲートとを有している。

【0077】

ゲート電圧制御回路 7 は、電源ライン 22 と接地ライン 23 との間に設けられており、容量 25 と抵抗体 26 とシュミットトリガ回路 28 とを有している。そして、容量 25 の一端は電源電圧 V_{DD} を供給するための電源ライン 22 に接続され、他端はシュミットトリガ回路 28 の入力端子に接続されている。また、抵抗体 26 の一端は、接地電圧 V_{SS} を供給するための接地ライン 23 に接続され、他端はシュミットトリガ回路 28 の入力端子に接続されている。シュミットトリガ回路 28 の出力端子は、NMIS トランジスタ 24 のゲートに接続されている。この時、容量 25 として、配線容量、ゲート容量、接合容量などを用いてもよい。抵抗体 26 として、配線抵抗、ゲート抵抗、トランジスタ抵抗などを用いてもよい。

【0078】

シュミットトリガ回路 28 では、インバータ 42、43、44 が直列に接続され、インバータ 43 の出力を帰還するようにインバータ 45 が接続されている。インバータ 43 とインバータ 45 とはラッチ回路を構成している。この構成はシュミットトリガ回路 28 の構成の一例である。本発明では、この構成以外のヒステリシス特性を有する回路を用いてもよい。

【0079】

次に、以上で説明した半導体集積回路装置の ESD 試験時の動作について、図 10 (a)、(b) を再度参照しながら説明する。ここで、半導体集積回路装置のうち電源間静電放電保護回路 6 以外の構成は図 1 と同様であるため、図 1 も再度参照することとなる。

【0080】

まず、本実施形態の半導体集積回路装置を図 10 (a) の被試験デバイス 154 として評価回路に設置する。このとき、図 1 に示す半導体集積回路装置の電源ライン 22 をオープン状態にし、接地ライン 23 を電圧 V_{SS} に固定する。次に、切り替えスイッチ 152 を操作することにより、充電用電源 150 によって充放電用キャパシタ 151 に電荷を蓄積させる。その後、切り換えスイッチ 152 により、充放電用キャパシタ 151 の一方の電

極を放電用抵抗体 153 に接続する。これにより、図 1 に示す外部接続用端子 1 に正電荷を印加する。

【0081】

このとき、外部接続用端子 1 から電源ライン 22 に至る経路においては、PMIS トランジスタ 8 のドレイン領域と基板領域 (n ウェル) との間の p n 接合が寄生順方向ダイオード 12 となり、PMIS トランジスタ 14 のドレイン領域と基板領域 (n ウェル) との間の p n 接合が寄生順方向ダイオード 16 となる。一方、外部接続用端子 1 から接地ライン 23 に至る経路において、NMIS トランジスタ 9 のドレイン領域と基板領域 (p ウェル) との間の p n 接合が寄生逆方向ダイオード 13 となり、NMIS トランジスタ 15 のドレイン領域と基板領域 (p ウェル) との間の p n 接合が寄生逆方向ダイオード 17 となる。

【0082】

外部接続用端子 1 に印加された正のサージは、寄生順方向ダイオード 12, 16 を通って電源ライン 22 に流れ込み、電源ライン 22 の電位が上昇する。本実施形態では、図 3 に示すように、電源ライン 22 と NMIS トランジスタ 24 のゲートとの間に抵抗体 26 およびシュミットトリガ回路 28 が接続されている。シュミットトリガ回路 28 はヒステリシス特性を有しているため、NMIS トランジスタ 24 が一旦 ON の状態になると、OFF の状態に切り替わるのを遅くすることができる。したがって、NMIS トランジスタ 24 において、より長く ON の状態を保つことができる。

【0083】

また、シュミットトリガ回路 28 を設けることにより、抵抗体 26 の抵抗値を小さくすることが可能となる。したがって、通常の動作時に、電源間静電放電保護回路 6 において消費される電流を少なく保つことができる。

【0084】

(第 4 の実施形態)

以下に、本実施形態の第 4 の実施形態について図面を参照しながら説明する。なお、本実施形態では、半導体集積回路装置のうち電源間静電放電保護回路以外の構成は第 1 の実施形態と同様であるので説明を省略する。図 4 は、第 4 の実施形態における半導体集積回路装置のうち電源間静電放電保護回路の構成を示す回路図である。

【0085】

図 4 に示すように、本実施形態の電源間静電放電保護回路 6 は電源ライン 22 と接地ライン 23 との間に設けられており、NMIS トランジスタ 24 と、PMIS トランジスタ 30 と、ゲート電圧制御回路 7, 31 とを有している。そして、NMIS トランジスタ 24 は、接地電圧 V_{SS} を供給するための接地ライン 23 に接続されるソースと、電源電圧 V_{DD} を供給するための電源ライン 22 に接続されるドレインと、ゲート電圧制御回路 7 の出力端子に接続されるゲートとを有している。PMIS トランジスタ 30 は、接地電圧 V_{SS} を供給するための接地ライン 23 に接続されるドレインと、電源電圧 V_{DD} を供給するための電源ライン 22 に接続されるソースと、ゲート電圧制御回路 31 の出力端子に接続されるゲートとを有している。

【0086】

ゲート電圧制御回路 7 は電源ライン 22 と接地ライン 23 との間に設けられており、容量 25 と抵抗体 26 とを有している。そして、容量 25 の一端は、電源電圧 V_{DD} を供給するための電源ライン 22 に接続され、他端はゲート電圧制御回路 7 の出力端子に接続されている。また、抵抗体 26 の一端は、接地電圧 V_{SS} を供給するための接地ライン 23 に接続され、他端はゲート電圧制御回路 7 の出力端子に接続されている。容量 25 として、キャパシタの他に、配線容量、ゲート容量、接合容量などを用いてもよい。また、抵抗体 26 として、配線抵抗、ゲート抵抗、トランジスタ抵抗などを用いてもよい。

【0087】

ゲート電圧制御回路 31 は電源ライン 22 と接地ライン 23 との間に設けられており、容量 33 と抵抗体 32 とを有している。そして、抵抗体 32 の一端は、電源電圧 V_{DD} を供

給するための電源ライン22に接続され、他端はゲート電圧制御回路31の出力端子に接続されている。また、容量33の一端は、接地電圧 V_{SS} を供給するための接地ライン23に接続され、他端は、ゲート電圧制御回路31の出力端子に接続されている。容量25として、キャパシタの他に、配線容量、ゲート容量、接合容量などを用いてもよい。また、抵抗体26として、配線抵抗、ゲート抵抗、トランジスタ抵抗などを用いてもよい。

【0088】

次に、以上で説明した半導体集積回路装置のESD試験時の動作について、図10(a)、(b)を再度参照しながら説明する。ここで、半導体集積回路装置のうち電源間静電放電保護回路6以外の構成は図1と同様であるため、図1も再度参照することとする。

【0089】

ESD試験には、第1～第3の実施形態で述べたように電源ライン22をオープン状態にして接地ライン23を電圧 V_{SS} に固定した状態で行う場合の他に、その逆の状態で行う場合がある。つまり、電源ライン22を電圧 V_{DD} に固定した状態にし、接地ライン23をオープン状態にして行う場合がある。本実施形態の半導体集積回路装置は、その両方の場合に対応することができる。以下に具体的に説明する。

【0090】

まず、本実施形態の半導体集積回路装置を図10(a)の被試験デバイス154として評価回路に設置する。このとき、図1に示す半導体集積回路装置の電源ライン22をオープン状態にし、接地ライン23を電圧 V_{SS} に固定する。次に、切り替えスイッチ152を操作することにより、充電用電源150によって充放電用キャパシタ151に電荷を蓄積させる。その後、切り換えスイッチ152により、充放電用キャパシタ151の一方の電極を放電用抵抗体153に接続する。これにより、図1に示す外部接続用端子1に正電荷を印加する。この場合には、第1の実施形態と同様に動作することにより、サージを放電することができる。

【0091】

次に、図1に示す半導体集積回路の接地ライン23をオープン状態にし、電源ライン22を電圧 V_{DD} に固定した状態で、外部接続用端子1に負電荷を印加する。

【0092】

このとき、外部接続用端子1から接地ライン23に至る経路においては、NMISTランジスタ9のドレイン領域と基板領域(pウェル)との間のpn接合が寄生順方向ダイオード13となり、NMISTランジスタ15のドレイン領域と基板領域(pウェル)との間のpn接合が寄生順方向ダイオード17となる。一方、外部接続用端子1から電源ライン22に至る経路においては、PMISTランジスタ8のドレイン領域と基板領域(nウェル)との間のpn接合が寄生逆方向ダイオード12となり、PMISTランジスタ14のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード16となる。

【0093】

外部接続用端子1に印加された負電荷は、寄生順方向ダイオード13、17を通過して接地ライン23に流れ込み、接地ライン23の電位が低下する。本実施形態では、図4に示すように、接地ライン23とPMISTランジスタ30のゲートとの間に容量33が接続されている。また、電源ライン22とPMISTランジスタ30との間に抵抗体32が設けられている。これにより、接地ライン23の電位が下がるとともに、PMISTランジスタ30のゲート電位も低下する。したがって、PMISTランジスタ30がON状態になりやすくなる。PMISTランジスタ30がON状態になると、外部接続用端子1に供給された負電荷は電源ライン22へ放電される。このとき、PMISTランジスタ30の寄生バイポーラトランジスタも放電に寄与する。

【0094】

以上に述べた経路だけではサージ電流を放電できない場合には、接地ライン23の電位が下がり、PMISTランジスタ8及びPMISTランジスタ14のブレイクダウン電圧に達すると、PMISTランジスタ8及びPMISTランジスタ14がON状態となる。

これにより、サージ電流は、外部接続用端子 1、静電放電保護回路 2 の PMIS トランジスタ 8 および出力回路 3 の PMIS トランジスタ 14、電源ライン 22 を順に通過する。

【0095】

以上のように、本実施形態では、外部接続用端子に正、負両方のどちらの電化が加わった場合でも、サージ電流の放電経路を 2 つにすることができる。よって、より多くのサージ電流を放電する事が可能となり、サージ耐圧の低下を防止することができる。

【0096】

(第 5 の実施形態)

以下に、本発明の第 5 の実施形態について図面を参照しながら説明する。なお、本実施形態では、半導体集積回路装置のうち電源間静電放電保護回路以外の構成は第 1 の実施形態と同様であるので説明を省略する。図 5 は、第 5 の実施形態における半導体集積回路装置のうち電源間静電放電保護回路の構成を示す回路図である。

【0097】

図 5 に示すように、本実施形態の電源間静電放電保護回路 6 は、電源ライン 22 と接地ライン 23 との間に設けられており、NMIS トランジスタ 24 と、PMIS トランジスタ 30 と、ゲート電圧制御回路 7、31 とを有している。そして、NMIS トランジスタ 24 は、接地電圧 V_{SS} を供給するための接地ライン 23 に接続されるソースと、電源電圧 V_{DD} を供給するための電源ライン 22 に接続されるドレインと、ゲート電圧制御回路 7 の出力端子に接続されるゲートとを有し、PMIS トランジスタ 30 は、接地電圧 V_{SS} を供給するための接地ライン 23 に接続されるドレインと、電源電圧 V_{DD} を供給するための電源ライン 22 に接続されるソースと、ゲート電圧制御回路 31 の出力端子に接続されるゲートとを有している。

【0098】

ゲート電圧制御回路 7 は、電源ライン 22 と接地ライン 23 との間に設けられており、容量 25 と抵抗体 26 とインバーター 27 とを有している。そして、抵抗体 26 の一端は、電源電圧 V_{DD} を供給するための電源ライン 22 に接続され、他端はインバーター 27 の入力端子に接続されている。

【0099】

また、容量 25 の一端は、接地電圧 V_{SS} を供給するための接地ライン 23 に接続され、他端は、インバーター 27 の入力端子に接続されている。インバーター 27 の出力端子は、NMIS トランジスタ 24 のゲートに接続されている。容量 25 として、キャパシタの他に、配線容量、ゲート容量、接合容量などを用いてもよい。また、抵抗体 26 として、配線抵抗、ゲート抵抗、トランジスタ抵抗などを用いてもよい。

【0100】

ゲート電圧制御回路 31 は、電源ライン 22 と接地ライン 23 との間に設けられており、抵抗体 32 と容量 33 とインバーター 34 とを有している。そして、容量 33 の一端は、電源電圧 V_{DD} を供給するための電源ライン 22 に接続され、他端はインバーター 34 の入力端子に接続されている。また、抵抗体 32 の一端は、接地電圧 V_{SS} を供給するための接地ライン 23 に接続され、他端は、インバーター 34 の入力端子に接続されている。インバーター 34 の出力端子は、PMIS トランジスタ 30 のゲートに接続されている。容量 33 として、キャパシタの他に、配線容量、ゲート容量、接合容量などを用いてもよい。また、抵抗体 32 として、配線抵抗、ゲート抵抗、トランジスタ抵抗などを用いてもよい。

【0101】

次に、以上で説明した半導体集積回路装置の ESD 試験時の動作について、図 10 (a)、(b) を再度参照しながら説明する。ここで、半導体集積回路装置のうち電源間静電放電保護回路 6 以外の構成は図 1 と同様であるため、図 1 も再度参照することとする。

【0102】

本実施形態の半導体集積回路装置では、第 4 の実施形態と同様に、電源ライン 22 をオープン状態にし接地ライン 23 を電圧 V_{SS} に固定した状態で行う場合の他に、電源ライン

22を電圧 V_{DD} に固定した状態にし、接地ライン23をオープン状態にして行う場合にも対応することができる。以下に具体的に説明する。

【0103】

まず、本実施形態の半導体集積回路装置を図10(a)の被試験デバイス154として評価回路に設置する。このとき、図1に示す半導体集積回路装置の電源ライン22をオープン状態にし、接地ライン23を電圧 V_{SS} に固定する。次に、切り替えスイッチ152を操作することにより、充電用電源150によって充放電用キャパシタ151に電荷を蓄積させる。その後、切り換えスイッチ152により、充放電用キャパシタ151の一方の電極を放電用抵抗体153に接続する。これにより、図1に示す外部接続用端子1に正電荷を印加する。この場合には、第2の実施形態と同様に動作することにより、サージを放電することができる。

【0104】

次に、図1に示す半導体集積回路の接地ライン23をオープン状態にし、電源ライン22を電圧 V_{SS} に固定した状態で、外部接続用端子1に負電荷を印加する。

【0105】

このとき、外部接続用端子1から接地ライン23に至る経路においては、NMISトランジスタ9のドレイン領域と基板領域(pウェル)との間のpn接合が寄生順方向ダイオード13となり、NMISトランジスタ15のドレイン領域と基板領域(pウェル)との間のpn接合が寄生順方向ダイオード17となる。一方、外部接続用端子1から電源ライン22に至る経路においては、PMISトランジスタ8のドレイン領域と基板領域(nウェル)との間のpn接合が寄生逆方向ダイオード12となり、PMISトランジスタ14のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード16となる。

【0106】

外部接続用端子1に印加された負電荷は、寄生順方向ダイオード13、17を通過して接地ライン23に流れ込み、接地ライン23の電位が低下する。本実施形態では、図5に示すように、接地ライン23とPMISトランジスタ30のゲートとの間に抵抗体32およびインバータ34が接続されている。抵抗体32が設けられていることにより、インバータ34の入力部の電位は接地ライン23の電位よりも上昇する。これにより、インバータ34にはHighが入力されて、接地ラインの電位を有するLowが出力される。したがって、PMISトランジスタ30がON状態になりやすくなる。PMISトランジスタ30がONになると、外部接続用端子1に供給された負電荷は電源ライン22へ放電される。このとき、PMISトランジスタ30の寄生バイポーラトランジスタも放電に寄与する。

【0107】

以上に述べた経路だけではサージ電流を放電できない場合には、接地ライン23の電位が下がり、PMISトランジスタ8及びPMISトランジスタ14のブレイクダウン電圧に達すると、PMISトランジスタ8及びPMISトランジスタ14がON状態となる。これにより、サージ電流は、外部接続用端子1、静電放電保護回路2のPMISトランジスタ8および出力回路3のPMISトランジスタ14、電源ライン22を順に通過する。

【0108】

以上のように、本実施形態では、外部接続用端子に正、負両方のどちらの電化が加わった場合でも、サージ電流の放電経路を2つにすることができる。よって、より多くのサージ電流を放電する事が可能となり、サージ耐圧の低下を防止することができる。

【0109】

(第6の実施形態)

以下に、本発明の第6の実施形態について図面を参照しながら説明する。なお、本実施形態では、半導体集積回路装置のうち電源間静電放電保護回路以外の構成は第1の実施形態と同様であるので説明を省略する。図6は、第6の実施形態における半導体集積回路装置のうち電源間静電放電保護回路の構成を示す回路図である。

【0110】

図6に示すように、本実施形態の電源間静電放電保護回路6は電源ライン22と接地ライン23との間に設けられており、NMISトランジスタ24とPMISトランジスタ30とゲート電圧制御回路7、31とを有している。そして、NMISトランジスタ24は、接地電圧 V_{SS} を供給するための接地ライン23に接続されるソースと、電源電圧 V_{DD} を供給するための電源ライン22に接続されるドレインと、ゲート電圧制御回路7の出力端子に接続されるゲートを有し、PMISトランジスタ30は、接地するために接地ライン23に接続されるドレインと、電源電圧 V_{DD} を供給するための電源ライン22に接続されるソースと、ゲート電圧制御回路31の出力端子に接続されるゲートとを有している。

【0111】

ゲート電圧制御回路7は、電源ライン22と接地ライン23との間に設けられており、容量25と抵抗体26とシュミットトリガ回路28とを有している。そして、抵抗体26の一端は、電源電圧 V_{DD} を供給するための電源ライン22に接続され、他端はシュミットトリガ回路28の入力端子に接続されている。また、容量25の一端が、接地電圧 V_{SS} を供給するための接地ライン23に接続され、他端は、シュミットトリガ回路28の入力端子に接続されている。シュミットトリガ回路28の出力端子は、NMISトランジスタ24のゲートに接続されている。容量25としてキャパシタの他に、配線容量、ゲート容量、接合容量などを用いてもよい。また、抵抗体26として、配線抵抗、ゲート抵抗、トランジスタ抵抗などを用いてもよい。

【0112】

ゲート電圧制御回路31は、電源ライン22と接地ライン23との間に設けられており、抵抗体32と容量33とシュミットトリガ回路35とを有している。そして、容量33の一端は、電源電圧 V_{DD} を供給するための電源ライン22に接続され、他端はシュミットトリガ回路35の入力端子に接続されている。また、抵抗体32の一端は、接地電圧 V_{SS} を供給するための接地ライン23に接続され、他端は、シュミットトリガ回路35の入力端子に接続されている。容量33として、キャパシタの他に、配線容量、ゲート容量、接合容量などを用いてもよい。また、抵抗体32として、配線抵抗、ゲート抵抗、トランジスタ抵抗などを用いてもよい。

【0113】

次に、以上で説明した半導体集積回路装置のESD試験時の動作について、図10(a)、(b)を再度参照しながら説明する。ここで、半導体集積回路装置のうち電源間静電放電保護回路6以外の構成は図1と同様であるため、図1も再度参照することとする。

【0114】

本実施形態の半導体集積回路装置では、第4、5の実施形態と同様に、電源ライン22をオープン状態にし、接地ライン23を電圧 V_{SS} に固定した状態で行う場合の他に、電源ライン22を電圧 V_{DD} に固定した状態にし、接地ライン23をオープン状態にして行う場合にも対応することができる。以下に具体的に説明する。

【0115】

まず、本実施形態の半導体集積回路装置を図10(a)の被試験デバイス154として評価回路に設置する。このとき、図1に示す半導体集積回路装置の電源ライン22をオープン状態にし、接地ライン23を電圧 V_{SS} に固定する。次に、切り替えスイッチ152を操作することにより、充電用電源150によって充放電用キャパシタ151に電荷を蓄積させる。その後、切り換えスイッチ152により、充放電用キャパシタ151の一方の電極を放電用抵抗体153に接続する。これにより、図1に示す外部接続用端子1に正電荷を印加する。この場合には、第3の実施形態と同様に動作することにより、サージを放電することができる。

【0116】

次に、図1に示す半導体集積回路の接地ライン23をオープン状態にし、電源ライン22を電圧 V_{SS} に固定した状態で、外部接続用端子1に負電荷を印加する。

【0117】

このとき、外部接続用端子1から接地ライン23に至る経路においては、NMISトランジスタ9のドレイン領域と基板領域(pウェル)との間のpn接合が寄生順方向ダイオード13となり、NMISトランジスタ15のドレイン領域と基板領域(pウェル)との間のpn接合が寄生順方向ダイオード17となる。一方、外部接続用端子1から電源ライン22に至る経路においては、PMISトランジスタ8のドレイン領域と基板領域(nウェル)との間のpn接合が寄生逆方向ダイオード12となり、PMISトランジスタ14のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード16となる。

【0118】

外部接続用端子1に印加された負電荷は、寄生順方向ダイオード13、17を通して接地ライン23に流れ込み、接地ライン23の電位が低下する。本実施形態では、図6に示すように、接地ライン23とPMISトランジスタ30のゲートとの間に抵抗体32およびシュミットトリガ回路35が接続されている。シュミットトリガ回路35はヒステリシス特性を有し、出力されるサージの波形は、入力されたサージの波形よりもなだらかになる。そのため、PMISトランジスタ30が一旦ONの状態になると、OFFの状態に切り替わるのを遅くすることができる。したがって、PMISトランジスタ30において、より長くONの状態を保つことができる。

【0119】

また、シュミットトリガ回路35を設けることにより、抵抗体32の抵抗値を小さくすることが可能となる。したがって、通常の動作時に、電源間静電放電保護回路6において消費される電流を少なく保つことができる。

【0120】

(第7の実施形態)

以下に、第7の実施形態について図面を参照しながら説明する。図7は、第7の実施形態において、静電放電保護回路を有する半導体集積回路装置の構成を示す回路図である。なお、本実施形態では、第1～第6の実施形態で説明した入出力回路ではなく、入力回路について説明する。

【0121】

図7に示すように、本実施形態の半導体集積回路装置は、外部接続用端子1と、静電放電保護回路2と、内部回路41と、電源間静電放電保護回路6を備えている。静電放電保護回路2及び電源間静電放電保護回路6は、外部接続用端子1から侵入するサージから内部回路41を保護するために設けられている。電源間静電放電保護回路6内にはゲート電圧制御回路7が設けられている。ゲート電圧制御回路7を設けることにより、ESD試験時に電源間静電放電保護回路6におけるNMISトランジスタ24のゲート電圧を制御することが可能となる。

【0122】

静電放電保護回路2は、外部接続用端子1と内部回路41との間に設けられており、PMISトランジスタ8とNMISトランジスタ9とを有している。そして、PMISトランジスタ8は、電源電圧 V_{DD} を供給するための電源ライン22に接続されるソースと、電源ライン22に接続されるゲートと、外部接続用端子1に接続されるドレインと、電源ライン22に接続される基板領域(nウェル)とを有している。また、NMISトランジスタ9は、接地電圧 V_{SS} を供給するための接地ライン23に接続されるソースと、接地ライン23に接続されるゲートと、外部接続用端子1に接続されるドレインと、接地ライン23に接続される基板領域(pウェル)とを有している。

【0123】

電源間静電放電保護回路6は、電源ライン22と接地ライン23との間に設けられており、NMISトランジスタ24とゲート電圧制御回路7とを有している。そして、NMISトランジスタ24は、接地電圧 V_{SS} を供給するための接地ライン23に接続されるソースと、電源電圧 V_{DD} を供給するための電源ライン22に接続されるドレインと、ゲート電圧制御回路7の出力端子に接続されるゲートとを有している。

【0124】

ゲート電圧制御回路7は、電源ライン22と接地ライン23との間に設けられており、容量25と抵抗体26とを有している。そして、容量25の一端は、電源電圧 V_{DD} を供給するための電源ライン22に接続され、他端はゲート電圧制御回路7の出力端子に接続されている。また、抵抗体26の一端は、接地電圧 V_{SS} を供給するための接地ライン23に接続され、他端はゲート電圧制御回路7の出力端子に接続されている。ここでは、容量25としてキャパシタを示した。しかしながら、本発明では、容量25として、配線容量、ゲート容量、接合容量などを用いてもよい。また、抵抗体として、配線抵抗、ゲート抵抗、トランジスタ抵抗などを用いてもよい。

【0125】

次に、以上で説明した半導体集積回路装置のESD試験時の動作について、図10(a)、(b)を再度参照しながら説明する。

【0126】

まず、本実施形態の半導体集積回路装置を図10(a)の被試験デバイス154として評価回路に設置する。このとき、図7に示す半導体集積回路装置の電源ライン22をオープン状態にし、接地ライン23を電圧 V_{SS} に固定する。次に、切り替えスイッチ152を操作することにより、充電用電源150によって充放電用キャパシタ151に電荷を蓄積させる。その後、切り換えスイッチ152により、充放電用キャパシタ151の一方の電極を放電用抵抗体153に接続する。これにより、図7に示す外部接続用端子1に正電荷を印加する。

【0127】

このとき、外部接続用端子1から電源ライン22に至る経路において、PMISTランジスタ8のドレイン領域と基板領域(nウェル)との間のpn接合が寄生順方向ダイオード12となる。一方、外部接続用端子1から接地ライン23に至る経路において、NMISTランジスタ9のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード13となる。

【0128】

外部接続用端子1に印加された正電荷は、寄生順方向ダイオード12を通過して電源ライン22に流れ込み、電源ライン22の電位が上昇する。本実施形態では、電源ライン22とNMISTランジスタ24のゲートとの間に容量25が接続されている。また、接地ライン23とNMISTランジスタ24との間に抵抗体26が設けられている。

【0129】

これにより、電源ライン22の電位が上昇するとともに、NMISTランジスタ24のゲート電位も上昇する。したがって、NMISTランジスタ24がON状態になりやすくなる。NMISTランジスタ24がONになると、外部接続用端子1に供給された正電荷は接地ライン23の方に放電される。このとき、NMISTランジスタ24の寄生バイポーラトランジスタも放電に寄与する。

【0130】

従来では、外部接続用端子に正のサージは、静電放電保護回路におけるNMISTランジスタの逆方向の寄生ダイオードを流れて接地ライン23に放出されていた。しかしながら、近年ではトランジスタサイズが縮小されているため、NMISTランジスタが破壊されるおそれがあった。それに対し、本発明では、電源間静電放電保護回路6のNMISTランジスタ24を通して接地ライン23にサージを放出することができる。よって、より多くのサージ電流を放電する事が可能となり、サージ耐圧の低下を防止することができる。

【0131】

なお、本実施形態では、入力回路に第1の実施形態と同様の構成を有するゲート電圧制御回路7を設けた場合について説明した。しかし、本発明では、ゲート電圧制御回路7として、第2～第6の実施形態と同様の構成を有する回路を設けることができる。これらのいずれの場合においても、サージ耐圧の低下を防止することができるという効果を得るこ

とができる。

【0132】

(第8の実施形態)

以下に、第8の実施形態について図面を参照しながら説明する。図8は、第8の実施形態において、静電放電保護回路を有する半導体集積回路装置の構成を示す回路図である。

【0133】

図8に示すように、本実施形態の半導体集積回路装置は、第7の実施形態と同様に、ゲート電圧制御回路7を備えている。そして、第7の実施形態と異なる点は、静電放電保護回路2において、PMISトランジスタ8およびNMISトランジスタ9(図7に示す)ではなく、PNダイオード36, 37が設けられている点である。以下に、各回路の構成について詳細に説明する。

【0134】

図8に示すように、本実施形態の半導体集積回路装置は、外部接続用端子1と、静電放電保護回路2と、内部回路41と、電源間静電放電保護回路6とを備えている。静電放電保護回路2及び電源間静電放電保護回路6は、外部接続用端子1から侵入するサージから内部回路41を保護するために設けられている。

【0135】

静電放電保護回路2は、外部接続用端子1と内部回路41との間に設けられており、PNダイオード36, 37を有している。そして、PNダイオード36は、電源電圧 V_{DD} を供給するための電源ライン22に接続されるカソードと、外部接続用端子1に接続されるアノードとを有している。また、PNダイオード37は、接地電圧 V_{SS} を供給するための接地ライン23に接続されるアノードと、外部接続用端子1に接続されるカソードとを有している。

【0136】

電源間静電放電保護回路6は、電源ライン22と接地ライン23との間に設けられており、NMISトランジスタ24とゲート電圧制御回路7とを有している。そして、NMISトランジスタ24は、接地電圧 V_{SS} を供給するための接地ライン23に接続されるソースと、電源電圧 V_{DD} を供給するための電源ライン22に接続されるドレインと、ゲート電圧制御回路7の出力端子に接続されるゲートとを有している。

【0137】

ゲート電圧制御回路7は、電源ライン22と接地ライン23との間に設けられており、容量25と抵抗体26とを有している。そして、容量25の一端は、電源電圧 V_{DD} を供給するための電源ライン22に接続され、他端はゲート電圧制御回路7の出力端子に接続されている。また、抵抗体26の一端は、接地電圧 V_{SS} を供給するための接地ライン23に接続され、他端はゲート電圧制御回路7の出力端子に接続されている。ここでは、容量25としてキャパシタを示した。しかしながら、本発明では、容量25として、配線容量、ゲート容量、接合容量などを用いてもよい。また、抵抗体として、配線抵抗、ゲート抵抗、トランジスタ抵抗などを用いてもよい。

【0138】

次に、以上で説明した半導体集積回路装置のESD試験時の動作について、図10(a), (b)を再度参照しながら説明する。

【0139】

まず、本実施形態の半導体集積回路装置を図10(a)の被試験デバイス154として評価回路に設置する。このとき、図8に示す半導体集積回路装置の電源ライン22をオープン状態にし、接地ライン23を電圧 V_{SS} に固定する。次に、切り替えスイッチ152を操作することにより、充電用電源150によって充放電用キャパシタ151に電荷を蓄積させる。その後、切り換えスイッチ152により、充放電用キャパシタ151の一方の電極を放電用抵抗体153に接続する。これにより、図8に示す外部接続用端子1に正電荷を印加する。

【0140】

このとき、外部接続用端子1から電源ライン22に至る経路において、PNダイオード36は順方向ダイオードとなる。一方、外部接続用端子1から接地ライン23に至る経路において、PNダイオード37は逆方向ダイオードなる。

【0141】

外部接続用端子1に印加された正電荷は、PNダイオード36を通過して電源ライン22に流れ込み、電源ライン22の電位が上昇する。本実施形態では、電源ライン22とNMISトランジスタ24のゲートとの間に容量25が接続されている。また、接地ライン23とNMISトランジスタ24との間に抵抗体26が設けられている。

【0142】

これにより、電源ライン22の電位が上昇するとともに、NMISトランジスタ24のゲート電位も上昇する。したがって、NMISトランジスタ24がON状態になりやすくなる。NMISトランジスタ24がONになると、外部接続用端子1に供給された正電荷は接地ライン23の方に放電される。このとき、NMISトランジスタ24の寄生バイポーラトランジスタも放電に寄与する。

【0143】

従来では、外部接続用端子に正のサージは、静電放電保護回路におけるNMISトランジスタの逆方向の寄生ダイオードを流れて接地ライン23に放出されていた。しかしながら、近年ではトランジスタサイズが縮小されているため、NMISトランジスタが破壊されるおそれがあった。それに対し、本発明では、電源間静電放電保護回路6のNMISトランジスタ24を通して接地ライン23にサージを放出することができる。よって、より多くのサージ電流を放電する事が可能となり、サージ耐圧の低下を防止することができる。

【0144】

なお、本実施形態では、入力回路に第1の実施形態と同様の構成を有するゲート電圧制御回路7を設けた場合について説明した。しかし、本発明では、ゲート電圧制御回路7として、第2～第6の実施形態と同様の構成を有する回路を設けることができる。これらのいずれの場合においても、サージ耐圧の低下を防止することができるという効果を得ることができる。

【0145】

(その他の実施形態)

なお、上記の実施形態で述べた静電放電保護回路2～電源間静電放電保護回路6の配置は例示である。本発明では、チップ上のどの位置に各回路が設けられていてもよい。

【産業上の利用可能性】

【0146】

本発明の半導体集積回路装置は、入力、出力、入出力回路および内部回路を保護するための保護回路に使用する場合に有用であり、外部からのサージに強く、かつ微細化が可能である点で利用可能性は高い。

【図面の簡単な説明】

【0147】

【図1】第1の実施形態において、静電放電保護回路を有する半導体集積回路装置の構成を示す回路図である。

【図2】第2の実施形態における半導体集積回路装置のうち電源間静電放電保護回路の構成を示す回路図である。

【図3】第3の実施形態における半導体集積回路装置のうち電源間静電放電保護回路の構成を示す回路図である。

【図4】第4の実施形態における半導体集積回路装置のうち電源間静電放電保護回路の構成を示す回路図である。

【図5】第5の実施形態における半導体集積回路装置のうち電源間静電放電保護回路の構成を示す回路図である。

【図6】第6の実施形態における半導体集積回路装置のうち電源間静電放電保護回路

の構成を示す回路図である。

【図 7】第 7 の実施形態において、静電放電保護回路を有する半導体集積回路装置の構成を示す回路図である。

【図 8】第 8 の実施形態において、静電放電保護回路を有する半導体集積回路装置の構成を示す回路図である。

【図 9】従来において、静電放電保護回路を有する半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。

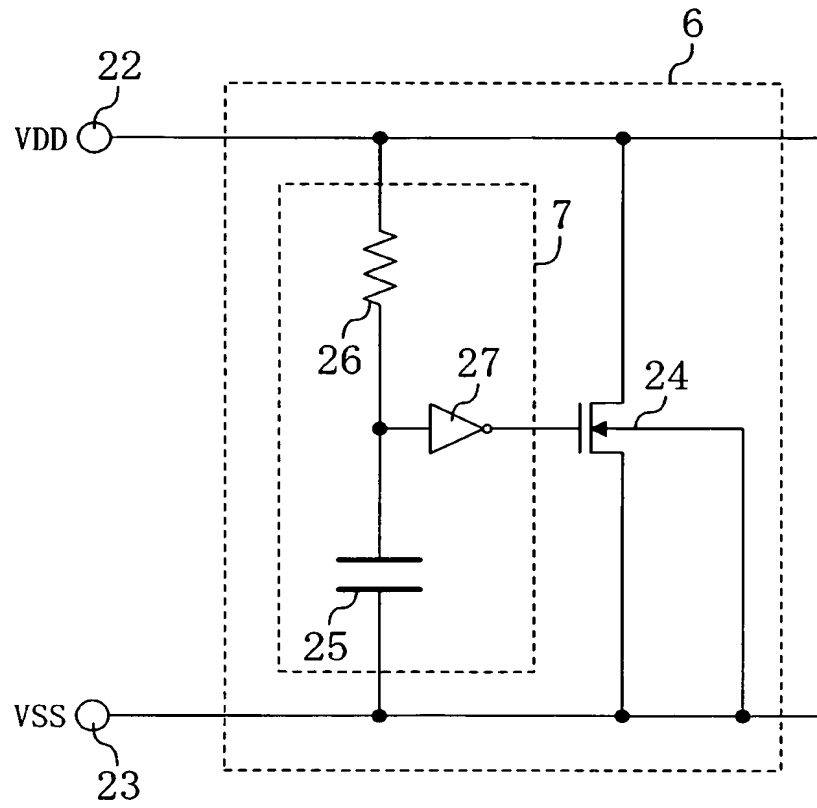
【図 10】(a), (b) は、それぞれ順に、HBM 試験規格による ESD 試験を行うための評価回路を示す回路図、及び MIL 規格による HBM 放電波形規定を示す波形図である。

【符号の説明】

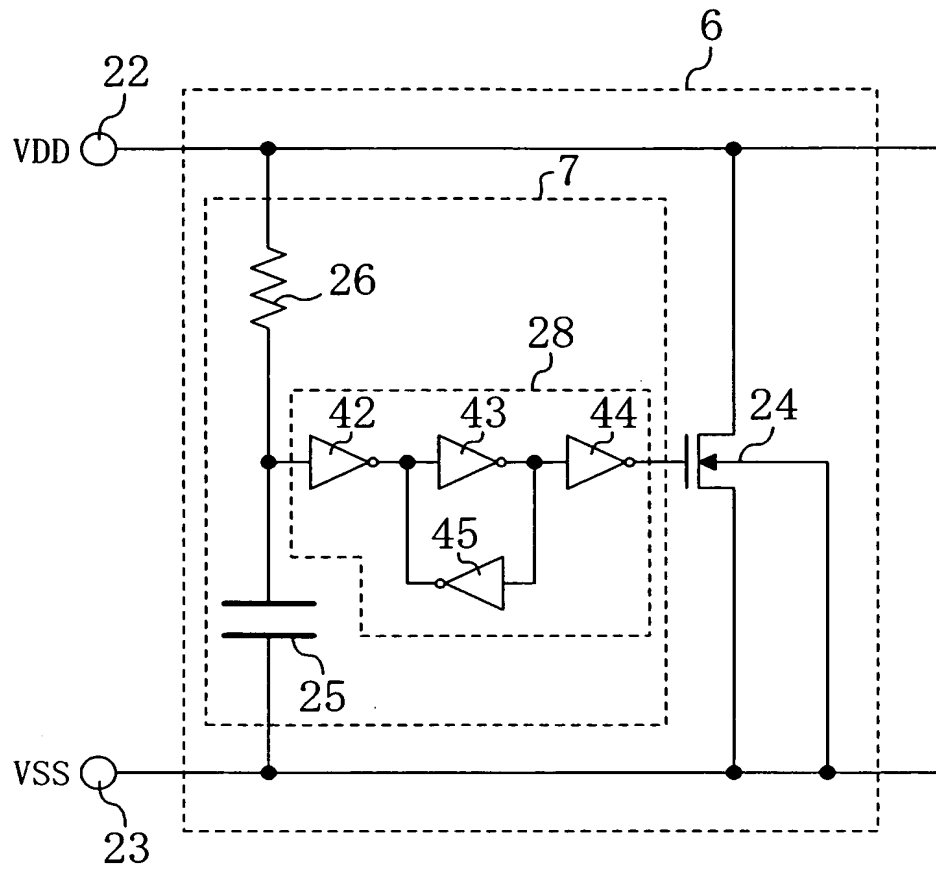
【0148】

1	外部接続用端子
2	静電放電保護回路
3	出力回路
4	出力プリバッファ回路
5	入力バッファ回路
6	電源間静電放電保護回路
7	ゲート電圧制御回路
8	PMIS トランジスタ
9	NMIS トランジスタ
10, 11	抵抗体
12	寄生順方向ダイオード, 寄生逆方向ダイオード
13	寄生逆方向ダイオード, 寄生順方向ダイオード
14	PMIS トランジスタ
15	NMIS トランジスタ
16	寄生逆方向ダイオード, 寄生順方向ダイオード
17	寄生逆方向ダイオード, 寄生順方向ダイオード
18	プリバッファ
19	プリバッファ回路
20	プリバッファ
21	プリバッファ回路
22	電源ライン
23	接地ライン
24	NMIS トランジスタ
25	容量
26	抵抗体
27	インバーター
28	シュミットトリガ回路
30	PMIS トランジスタ
31	ゲート電圧制御回路
32	抵抗体
33	容量
34	インバーター
35	シュミットトリガ回路
36, 37	PN ダイオード
41	内部回路
42, 43, 44, 45	インバータ

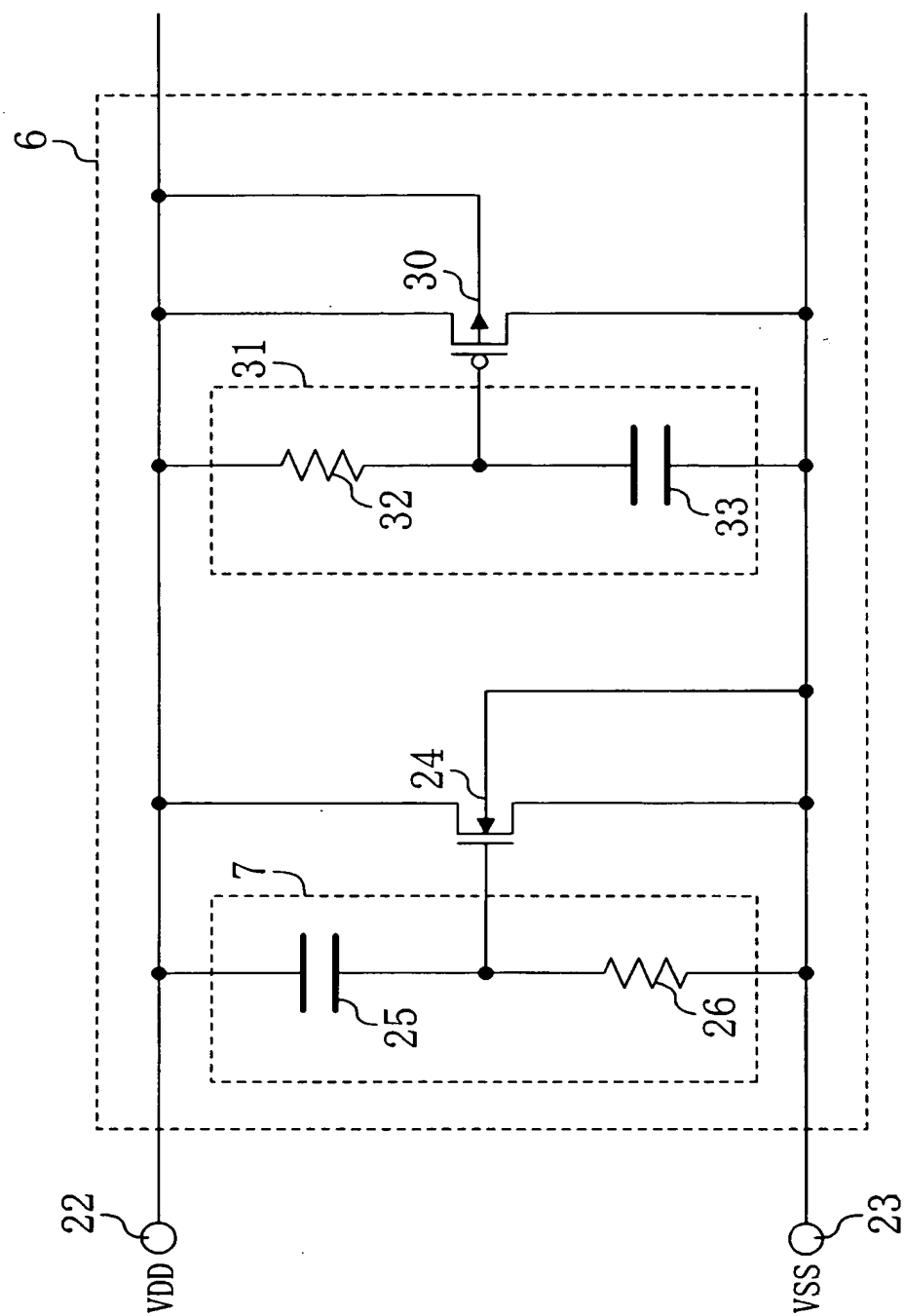
【図 2】



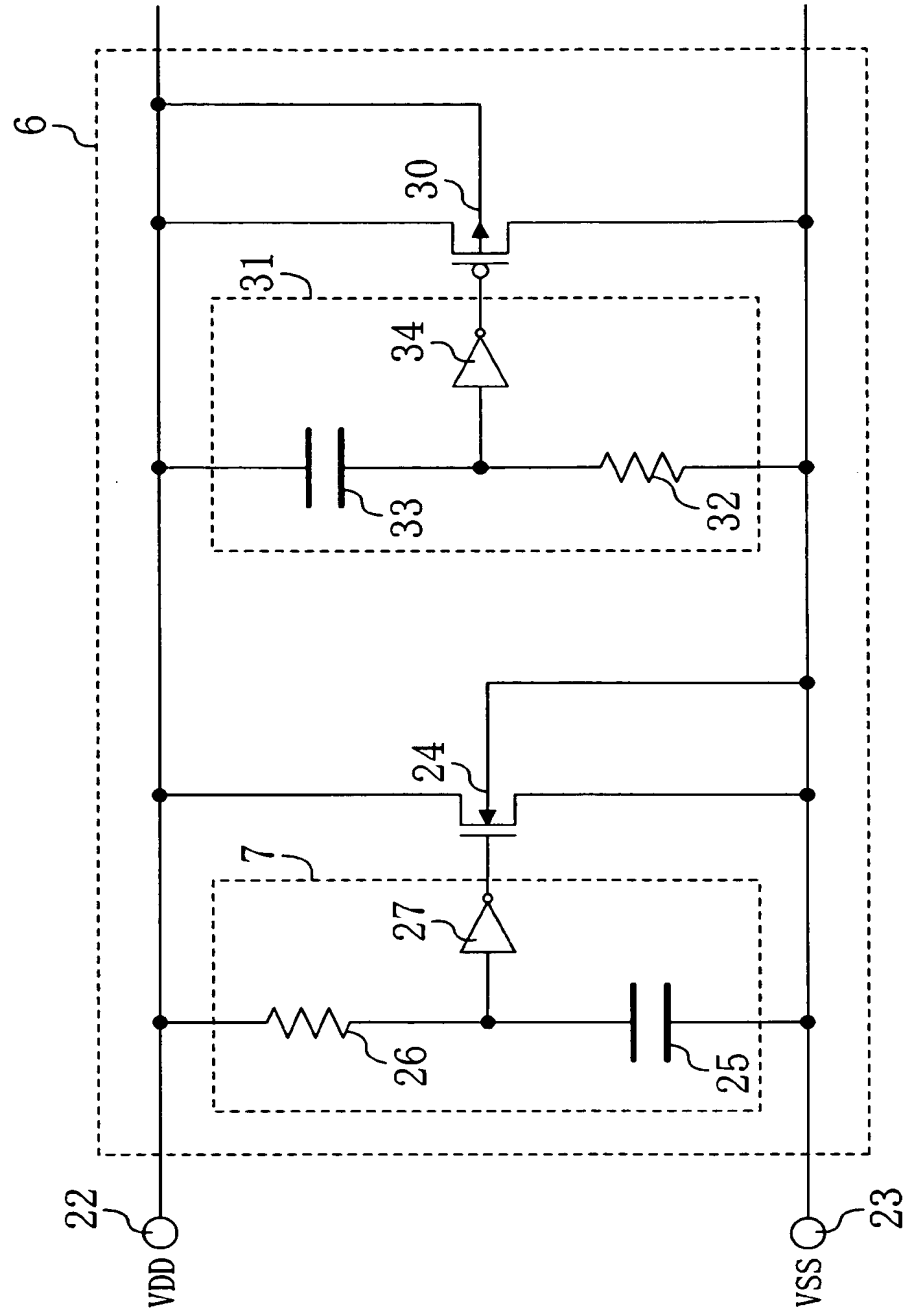
【図 3】



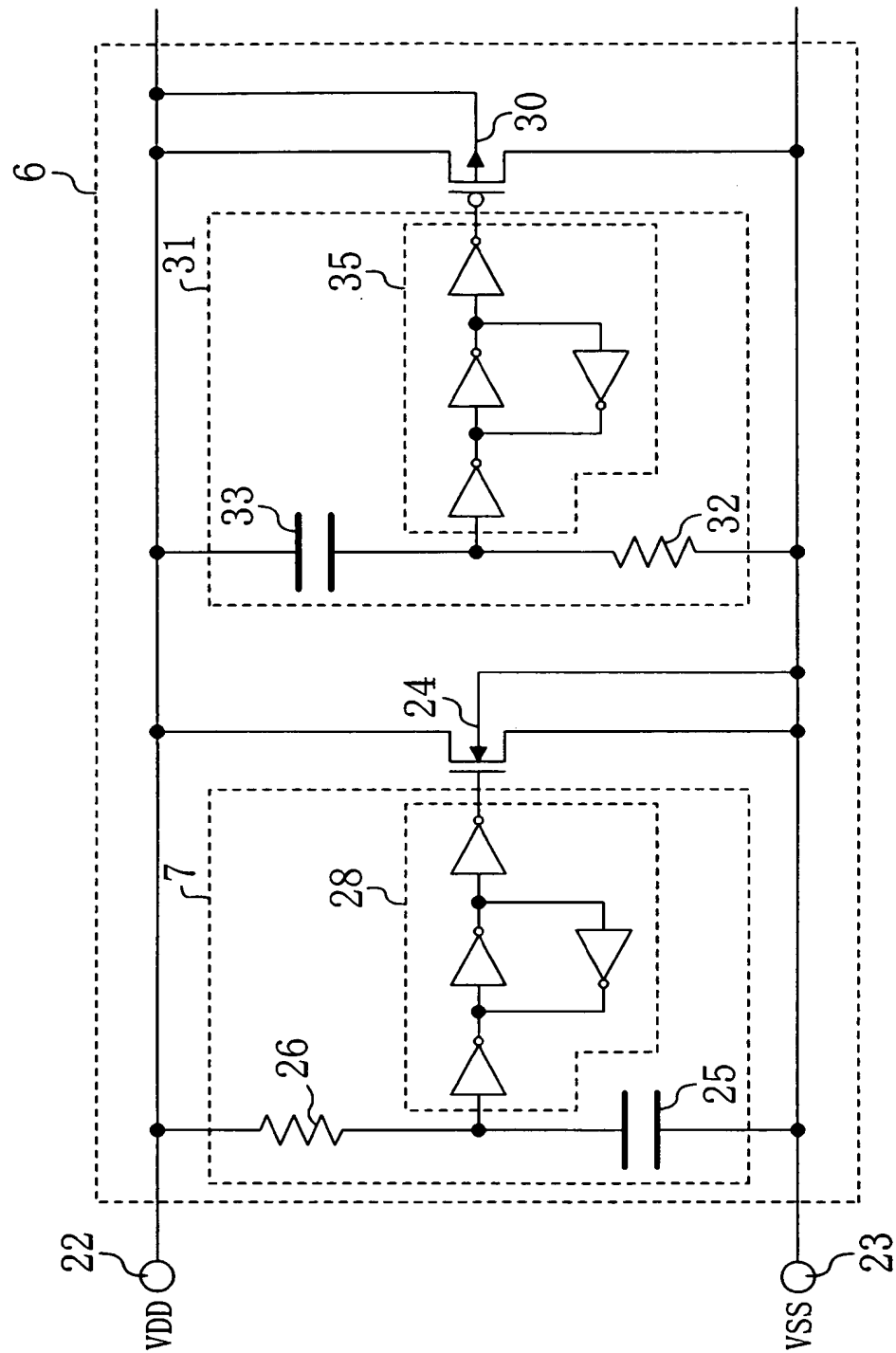
【図 4】



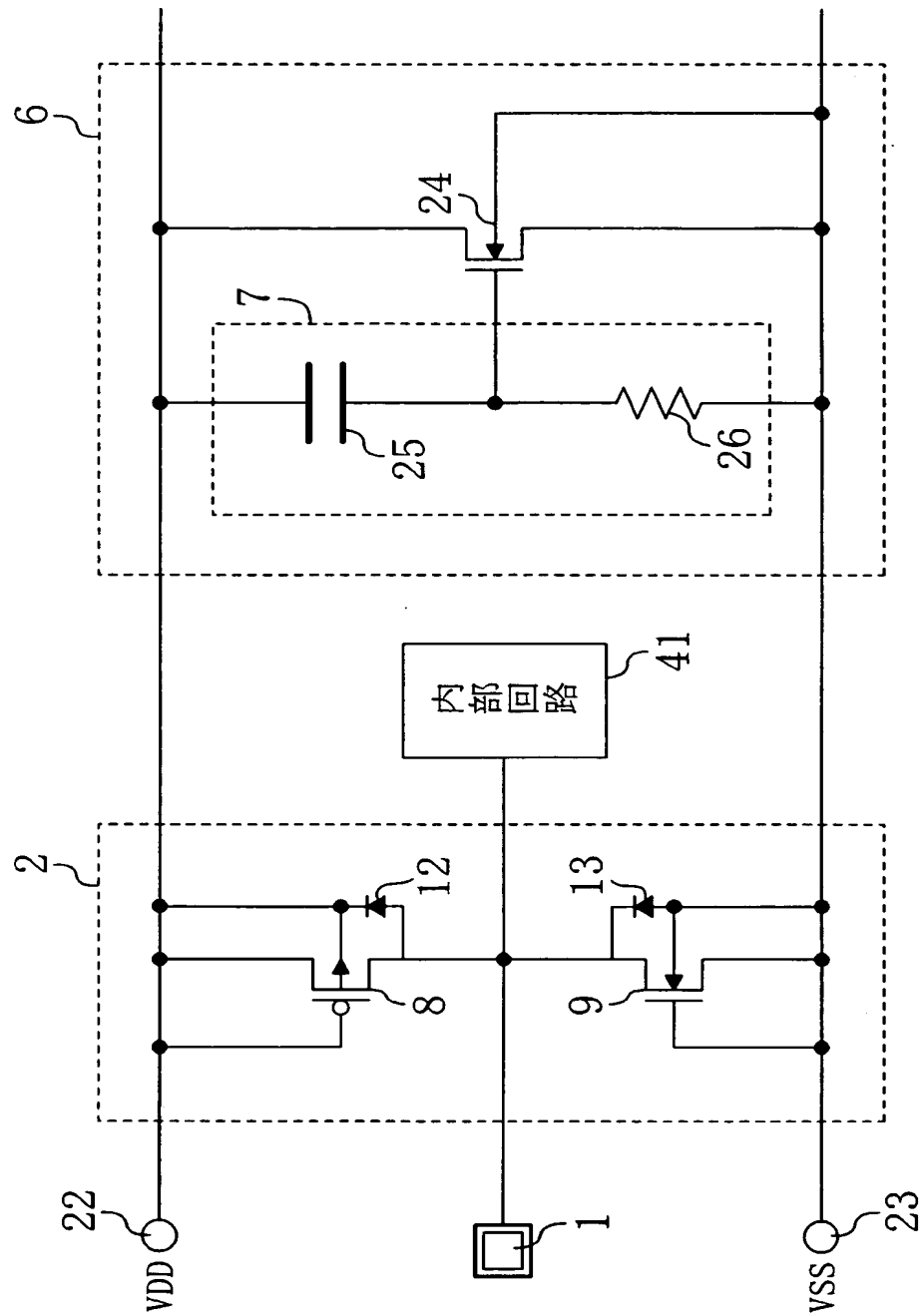
【図 5】



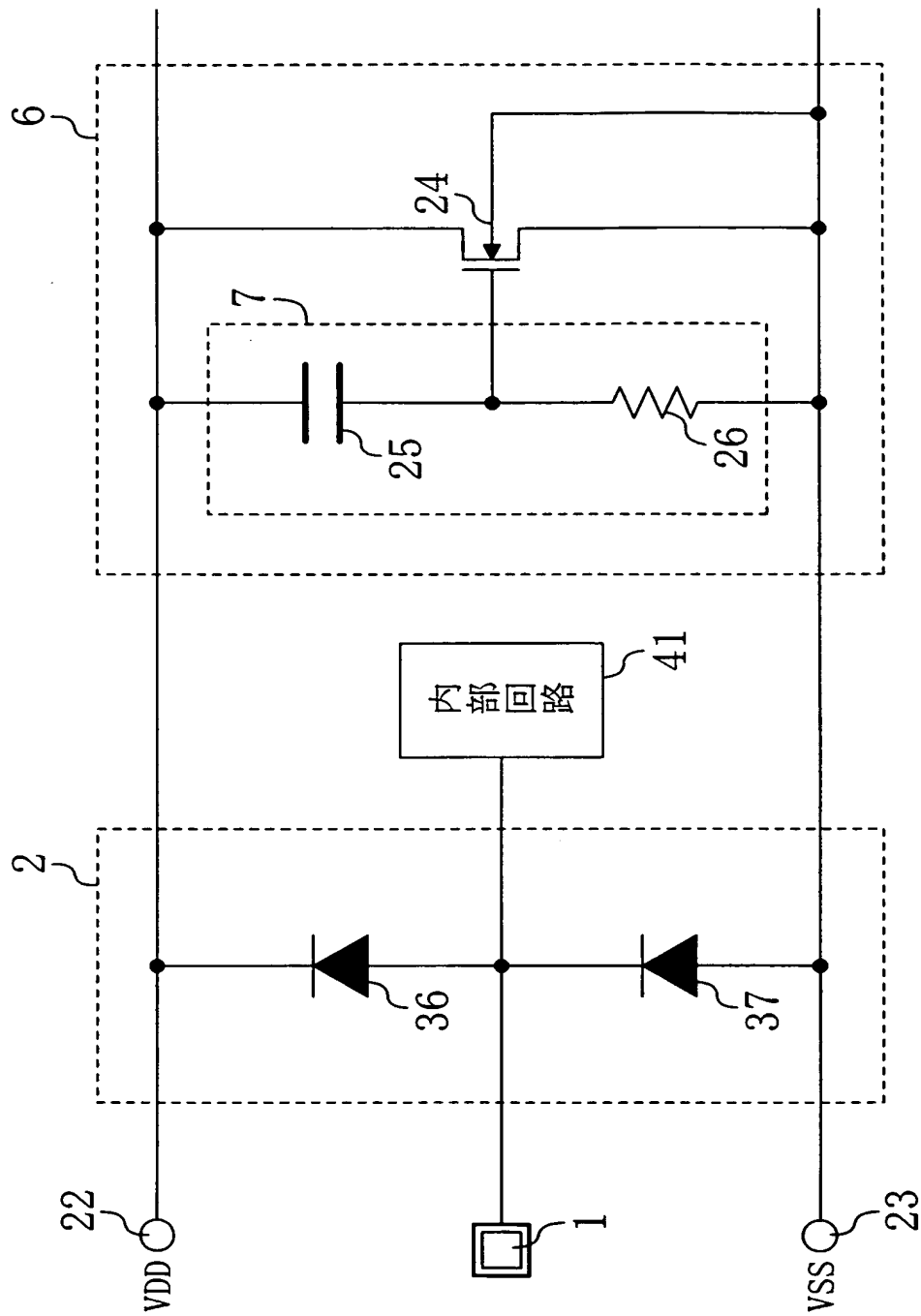
【図 6】



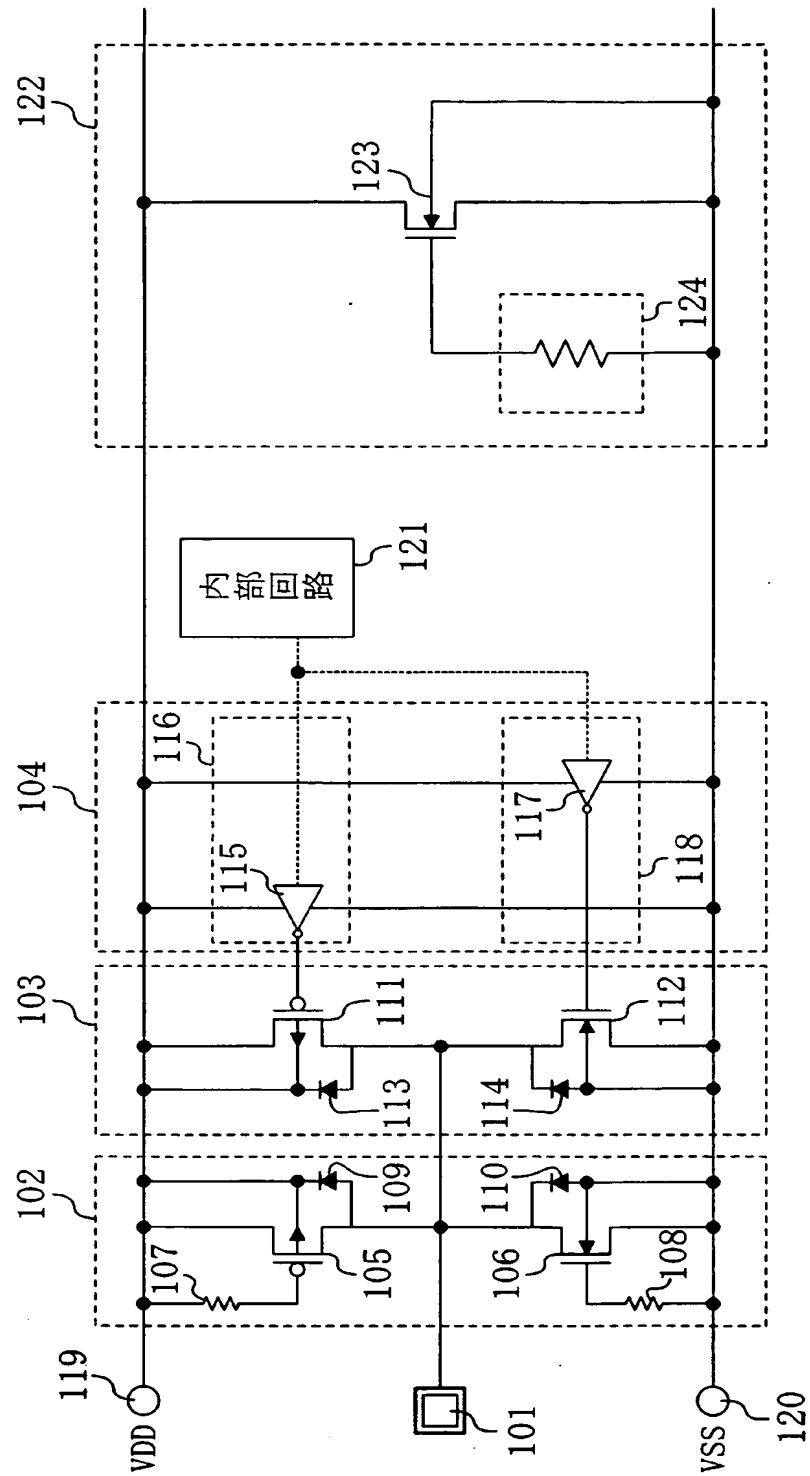
【圖 7】



【図 8】

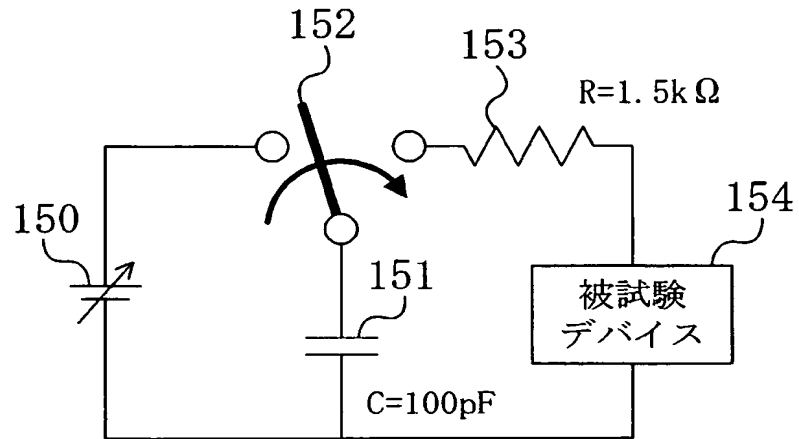


【図 9】

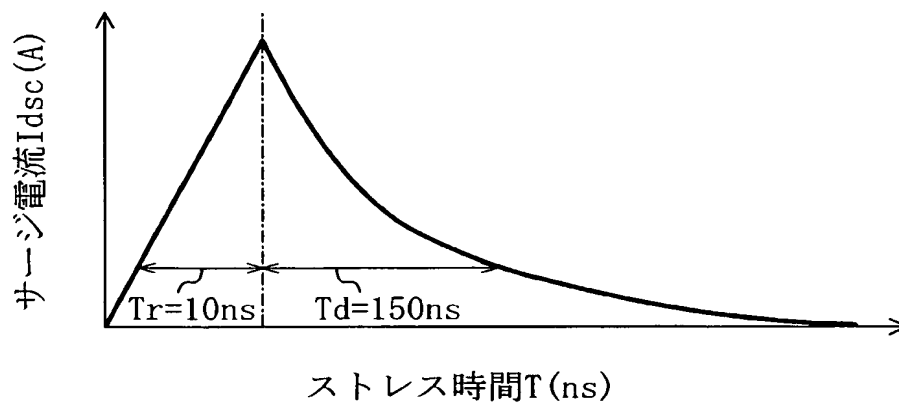


【図 10】

(a)



(b)



【書類名】 要約書**【要約】**

【課題】 外部からのサージに強く、かつ小面積な静電放電保護回路を備えた半導体集積回路を提供する。

【解決手段】 本発明の半導体集積回路は、外部接続用端子 1 と、静電放電保護回路 2 と、出力回路 3 と、出力プリバッファ回路 4 と、入力バッファ回路 5 と、内部回路 41 と、電源間静電放電保護回路 6 と、ゲート電圧制御回路 7 とを備えている。ゲート電圧制御回路は容量 25 と抵抗体 26 とを有している。外部接続用端子 1 に正のサージが加わると、NMIS トランジスタ 24 のゲート電位も上昇する。NMIS トランジスタ 24 が ON になり、外部接続用端子 1 に供給された正電荷は接地ライン 23 の方に放電される。

【選択図】 図 1

特願 2 0 0 3 - 2 7 8 8 7 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社